

JP9251785

Publication Title:

NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE

Abstract:

Abstract of JP9251785

PROBLEM TO BE SOLVED: To provide a memory device suitable for high integration by minimizing a circuit scale of a column system circuit. SOLUTION: This device is provided with flip-flop circuits FF1, FF2 of which the number is set to (m), a verifying circuit verifying written data after data is written in a memory cell, and a transistor Qn 5 for detecting en block finish of writing judging whether writing is performed again or not during verifying, when the number of data of multi-values by which writing data for a memory cell is latched and writing data from a memory cell is sense-latched is assumed to $2 \leq m \leq n$ (m is natural number of 2 or more). And the transistor Qn 5 for detecting en bloc is controlled by updated writing data in accordance with the writing result of verifying of the flip-flop circuit FF1 during verifying.

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-251785

(43)公開日 平成9年(1997)9月22日

(51)Int.Cl.⁶

G 1 1 C 16/04

識別記号

序内整理番号

F I

G 1 1 C 17/00

技術表示箇所

3 0 8

審査請求 未請求 請求項の数15 O L (全 59 頁)

(21)出願番号 特願平8-61443

(22)出願日 平成8年(1996)3月18日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 竹内 健

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

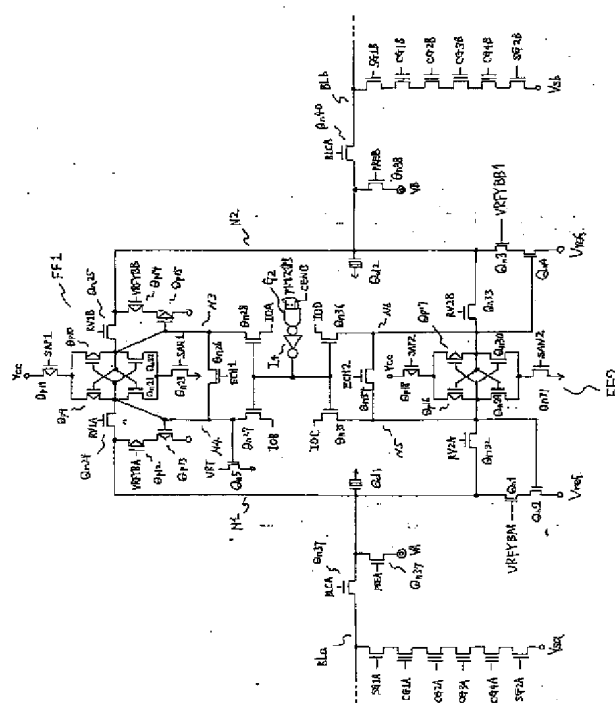
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【課題】 カラム系回路の回路規模を小さくして、高集積化に適した不揮発性半導体記憶装置を提供すること。

【解決手段】 メモリセルへの書き込みデータをラッチ、およびメモリセルからの読み出しデータをセンス・ラッチする、多値のデータの数を 2^m (m は2以上の自然数) $=n$ 値としたとき、その数が m 個に設定されたフリップフロップ回路FF1、FF2と、メモリセルへデータを書き込んだ後、書き込まれたデータを検証するベリファイ回路と、ベリファイ中、再度、書き込みを行うか否かを判断する書き込み終了一括検知トランジスタ Q_{n5} とを具備する。そして、一括検知トランジスタ Q_{n5} を、ベリファイ中に、フリップフロップ回路FF1の、ベリファイ読み出し結果に応じて、更新されていく書き込みデータによって制御する。



【特許請求の範囲】

【請求項1】 多値のデータを記憶するメモリセルがマトリクス状に配置されて構成されるメモリセルアレイと、

前記メモリセルへデータを書き込むとき、前記メモリセルへの書き込みデータをラッチし、前記メモリセルからデータを読み出すとき、前記メモリセルからの読み出しデータをセンス・ラッチする、前記多値のデータの数を 2^m (m は2以上の自然数) $=n$ 値としたとき、その数が m 個に設定されたデータラッチ・センスアンプ回路を含むビット線制御回路と、

前記データラッチ・センスアンプ回路と前記メモリセルとを互いに接続し、前記メモリセルへデータを書き込むとき、前記データラッチ・センスアンプ回路から前記メモリセルへ前記書き込みデータを導き、前記メモリセルからデータを読み出すとき、前記メモリセルから前記データラッチ・センスアンプ回路へ前記読み出しデータを導くビット線と、

前記メモリセルへデータを書き込むとき、前記データラッチ・センスアンプ回路にラッチされた書き込みデータに応じて、前記多値のデータに応じた書き込み制御電圧を選び、選ばれた書き込み制御電圧をビット線に与える書き込み回路と、

前記メモリセルへデータを書き込んだ後、前記書き込まれたデータが所望のデータの記憶状態になっているか否かを確認するベリファイ回路とを具備することを特徴とする不揮発性半導体記憶装置。

【請求項2】 電氣的書き替えが可能な n 値 (n は3以上の自然数)を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、

前記メモリセルに接続されたビット線を該メモリセルを介して充電し、かつメモリセルの多値データを多値レベルの電位としてビット線に出力するしきい値検出手段と、

前記しきい値検出手段によって充電された多値レベルのビット線電位をセンスするセンスアンプと、

メモリセルに書き込むデータを保持する第1、第2、…、第 m のデータ回路と、

前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認するために前記しきい値検出手段を用いる書き込みベリファイ手段と、
前記データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、データ回路の内容を一括更新するデータ更新回路から成るデータ回路内容一括更新手段とを備え、

前記データ更新回路は1つのデータ回路の内容を参照することを特徴とする不揮発性半導体記憶装置。

【請求項3】 電氣的書き替えが可能な n 値 (n は3以上の自然数)を記憶するメモリセルがマトリクス状に配

置されたメモリセルアレイと、

前記メモリセルに接続されたビット線を該メモリセルを介して充電し、かつメモリセルの多値データを多値レベルの電位としてビット線に出力するしきい値検出手段と、

前記しきい値検出手段によって充電された多値レベルのビット線電位を参照電圧を比較することでビット線電位をセンスするセンスアンプと、

メモリセルに書き込むデータを保持する第1、第2、…、第 m のデータ回路と、

前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認するために前記しきい値検出手段を用いる書き込みベリファイ手段と、

前記データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、データ回路の内容を一括更新するデータ更新回路から成るデータ回路内容一括更新手段とを備え、

前記データ更新回路は1つのデータ回路の内容を参照し、

前記データ回路内容一括更新手段は、ビット線電位が再書き込みデータとしてセンス、記憶されるよう、メモリセルの書き込み動作後の状態が出力されるビット線、および参照電位をデータ回路の内容に応じて修正し、ビット線電位が修正されるまではデータ回路のデータ記憶状態を保持し、修正されたビット線電位を保持したままデータ回路をセンスアンプとして動作させ、データ回路の内容の一括更新を行い、

データ回路の内容に基づく書き込み動作とデータ回路内容一括更新を、メモリセルが所定の書き込み状態になるまで繰り返しながら行うことにより電氣的にデータ書き込みを行うことを特徴とする不揮発性半導体記憶装置。

【請求項4】 前記メモリセルは、メモリセルトランジスタが複数個ずつ直列接続されたNAND型のセルであり、前記NAND型セルの一端は、第1の選択ゲートを介してビット線に接続され、前記NAND型セルの他端は、第2の選択ゲートを介してソース線に接続され、前記しきい値検出手段は、ソース線電圧を、前記NAND型セルを介してビット線に転送させてビット線を充電し、

非選択の制御ゲート電圧及び第1、2の選択ゲート電圧は、選択されたメモリセルのしきい値でビット線電圧が決定するように、非選択メモリセル及び第1、2の選択トランジスタの電圧転送能力を十分高めるように制御されることを特徴とする請求項2および請求項3いずれかに記載の不揮発性半導体記憶装置。

【請求項5】 電氣的書き替え可能な n 値 (n は3以上の自然数)を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、

メモリセルに書き込むデータを保持する第1、第2、

…、第 m (m は $2^{(n-1)} < n \leq 2^n$ を満たす自然数)のデータ回路と、
 前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認する書き込みベリファイ手段と、
 を備えたことを特徴とする不揮発性半導体記憶装置。
 【請求項6】 電氣的書き替え可能な n 値 (n は3以上の自然数)を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、
 メモリセルに書き込むデータを保持する第1、第2、…、第 m (m は $2^{(n-1)} < n \leq 2^n$ を満たす自然数)のデータ回路と、
 前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認する書き込みベリファイ手段と、
 前記データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、データ回路の内容を更新するデータ更新回路から成るデータ回路内容一括更新手段とを備え、
 前記データ更新回路は1つのデータ回路の内容を参照することを特徴とする不揮発性半導体記憶装置。
 【請求項7】 電氣的書き替え可能な n 値 (n は3以上の自然数)を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、
 メモリセルのしきい値電圧を検出するしきい値検出手段と、
 メモリセルに書き込むデータを保持する第1、第2、…、第 m (m は $2^{(n-1)} < n \leq 2^n$ を満たす自然数)のデータ回路と、
 前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認する書き込みベリファイ手段とを備え、
 前記しきい値検出は、メモリセルのゲート電極に第1のしきい値検出電圧を印加することにより、該メモリセルが“1”状態であるか、あるいは“2”又は“3”又は…“ n ”状態であるかを判定し、
 更に、メモリセルのゲート電極に第2のしきい値検出電圧を印加することにより、該メモリセルが“1”または“2”状態であるか、あるいは“3”、…、“ n ”状態であるかを判定するように、
 メモリセルのゲート電極に第1、第2、…、第 $(n-1)$ のしきい値検出電圧を印加することを特徴とする不揮発性半導体記憶装置。
 【請求項8】 電氣的書き替え可能な n 値 (n は3以上の自然数)を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、
 メモリセルに書き込むデータを保持するデータ回路と、
 前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認する書き込みベリ

ファイ手段とを備え、
 n 種類の書き込み状態に書き込みを行う書き込み動作に際し、 k (k は $2 \leq k \leq n$ を満たす自然数)種類の書き込み状態に書き込みを行うメモリセルに対してほぼ同時に第1の書き込みを行い、第1の書き込み動作の前あるいは後に、 $n-k$ 種類の書き込み状態に書き込みを行うメモリセルに書き込みを行うことを特徴とする不揮発性半導体記憶装置。
 【請求項9】 “1”状態が消去状態であり、“2”状態、“3”状態、…、“ n ”状態が書き込み状態であるような、電氣的書き替え可能な n 値 (n は3以上の自然数)を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、
 メモリセルに書き込むデータを保持するデータ回路と、
 前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認する書き込みベリファイ手段とを備え、
 書き込み時に、 n 種類の書き込み動作のうち、“3”状態、…、及び“ n ”状態に書き込みを行うメモリセルにほぼ同時に第1の書き込み動作を行い、前記第2の書き込み動作の前あるいは後に、“2”状態に書き込みを行うことを特徴とする不揮発性半導体記憶装置。
 【請求項10】 n 値の書き込み状態で、“1”状態、“2”状態、“3”、…“ n ”状態の順で書き込みしきい値電圧が大きいことを特徴とする請求項9に記載の不揮発性半導体記憶装置。
 【請求項11】 “1”状態、“2”状態、“3”状態、…、“ n ”状態 (n は3以上の自然数)を記憶状態とするような、電氣的書き替え可能な n 値を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、
 メモリセルとデータの授受を行う信号線と、
 メモリセルから読み出した情報を保持する読み出しデータ保持回路とを備え、
 メモリセルのしきい値が“ i ”状態とほぼ同様または“ i ”状態以上であるか、あるいは“ i ”状態よりも小さいかを調べる第 i の読み出し動作を行い、読み出しデータをデータ保持回路に保持し、
 その後、メモリセルのしきい値が“ j ”状態とほぼ同様または“ j ”状態以上であるか、あるいは“ j ”状態よりも小さいかを調べる第 j の読み出し動作時には、メモリセルのデータが出力した信号線の電位を、前記データ保持回路に保持したデータを参照して変えた後に、信号線の電位をセンスすることを特徴とする不揮発性半導体記憶装置。
 【請求項12】 電氣的書き替え可能な n 値 (n は3以上の自然数)を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、
 メモリセルとデータの授受を行う信号線と、
 メモリセルに書き込むデータを保持するデータ回路と、

前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認する書き込みベリファイ手段とを備え、

メモリセルの書き込みデータを出力した信号線の電位を2度以上参照することにより、前記データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、データ回路の内容を更新することを特徴とする不揮発性半導体記憶装置。

【請求項13】 電氣的書き替え可能な n 値(n は3以上の自然数)を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルのしきい値電圧を検出するしきい値検出手段と、

メモリセルに書き込むデータを保持するデータ回路と、前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認する書き込みベリファイ手段とを備え、

前記しきい値検出は、メモリセルのゲート電極に第1のしきい値検出電圧を印加することにより、該メモリセルが“1”状態であるか、あるいは“2”又は“3”又は…、“ n ”状態であるかを判定し、

更に、メモリセルのゲート電極に第2のしきい値検出電圧を印加することにより、該メモリセルが“1”または“2”状態であるか、あるいは“3”、…、“ n ”状態であるかを判定するように、

メモリセルのゲート電極に第1、第2、…、第($n-1$)のしきい値検出電圧を印加し、

メモリセルの書き込みデータを出力した信号線の電位を2度以上参照することにより、前記データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、データ回路の内容を更新することを特徴とする不揮発性半導体記憶装置。

【請求項14】 n は4以上であることを特徴とする、請求項1乃至請求項13いずれか一項に記載の不揮発性半導体記憶装置。

【請求項15】 電氣的書き替え可能な n 値(n は3以上の自然数)を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、

メモリセルに書き込むデータを保持する m 個のデータ回路と、

前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認する書き込みベリファイ手段と、

前記データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、データ回路の内容を更新するデータ更新回路から成るデータ回路内容一括更新手段とを備え、

前記データ更新回路は1つのデータ回路の内容を参照することを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電氣的書き換え可能な不揮発性半導体記憶装置(EEPROM)に係わり、特に1つのメモリセルに、1ビットより多い情報を記憶させる多値記憶EEPROMに関する。

【0002】

【従来の技術】EEPROMの大容量化を実現する手法の一つとして、1つのメモリセルに n ($n \geq 3$)値の情報を記憶させる、多値記憶EEPROMが知られている。例えば、4値記憶式では、4種類のしきい値電圧の1つをそれぞれのセルが有し、これを(0、0)、(0、1)、(1、0)、(1、1)と表される2ビットの情報に対応させるものである。

【0003】 n 値を記憶したメモリセルのデータを読みとるには、セルから読み出したデータを、($n-1$)個の基準電圧と比較する。このため、従来、($n-1$)個のセンスアンプを必要とした(例えば特開昭61-117796号公報)。

【0004】4値記憶式のEEPROMでは、2値記憶式セルのEEPROMと比べ、メモリセルの記憶密度は2倍となり、メモリセルが占める面積は1/2になったのに対し、センスアンプが占める面積は3倍となり、高密度化の効果を減少させる。特に、ページ読み出しを行うためにビット線毎にセンスアンプを設けるタイプのEEPROMでは、センスアンプ数の増加が大容量化の妨げとなる。

【0005】これに対して特開昭62-54896号公報には、セルデータを判別したセンスアンプの出力によって、他のセンスアンプの基準電圧を制御することにより、センスアンプの数を減らした事を特徴とした読みとり専用メモリが開示されている。

【0006】一方、メモリセルに n ($n \geq 3$)種類のしきい値電圧を記憶する多値記憶EEPROMでは、記憶データを書き込むときに、それぞれのしきい値電圧を、より狭い範囲に分布させる必要がある。このため、書き込みを小刻みにを行い、書き込みと書き込みとの間に、それぞれのメモリセルが目的とするしきい値範囲に書き込まれたか否かをチェックし、書き込み不足のセルがあればそのセルにのみ追加書き込みを行い、それぞれのメモリセル毎に、最適の書き込みがなされるよう制御するビット毎ベリファイが有効となっている。なお、ビット毎ベリファイは特開平3-295098号公報に開示されている。

【0007】また、多値記憶EEPROMに対するビット毎ベリファイは、特開平7-93979号公報に開示されている。しかし、特開平7-93979号公報に開示された装置では、センスアンプ及びベリファイ回路を

それぞれ、 $(n-1)$ 個ずつ必要としている。よって、メモリセルは、より多くのデータを記憶することにより、同じ面積のチップに大容量のデータを蓄積できるようになっているものの、データの読み出し／書き込みを制御する回路が大規模になり、高集積化に難点があった。

【0008】

【発明が解決しようとする課題】このように、従来、ベリファイ機能を有した多値記憶EEPROMでは、多値のデータの数を“ $n \geq 3$ ”としたとき、 $(n-1)$ 個のベリファイ回路を必要としていた。このため、センスアンプ・データラッチ回路も、ベリファイ回路に応じ、 $(n-1)$ 個必要としている。

【0009】以上のような事情により、ビット線に接続される回路、つまりカラム系回路の回路規模、特にセンスアンプ回路、データラッチ回路、ベリファイ回路の数が膨大なものとなって、高集積化のネックになっている。

【0010】この発明は、上記の事情に鑑み為されたもので、その目的は、カラム系回路の回路規模を、特にセンスアンプ回路、データラッチ回路、ベリファイ回路の数を減らすことによって小さくし、高集積化に適した不揮発性半導体記憶装置を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するために、この発明に係る不揮発性半導体記憶装置では、多値のデータを記憶するメモリセルがマトリクス状に配置されて構成されるメモリセルアレイと、前記メモリセルへデータを書き込むとき、前記メモリセルへの書き込みデータをラッチし、前記メモリセルからデータを読み出すとき、前記メモリセルからの読み出しデータをセンス・ラッチする、前記多値のデータの数を 2^m (m は2以上の自然数) $=n$ 値としたとき、その数が m 個に設定されたデータラッチ・センスアンプ回路を含むビット線制御回路と、前記データラッチ・センスアンプ回路と前記メモリセルとを互いに接続し、前記メモリセルへデータを書き込むとき、前記データラッチ・センスアンプ回路から前記メモリセルへ前記書き込みデータを導き、前記メモリセルからデータを読み出すとき、前記メモリセルから前記データラッチ・センスアンプ回路へ前記読み出しデータを導くビット線と、前記メモリセルへデータを書き込むとき、前記データラッチ・センスアンプ回路にラッチされた書き込みデータに応じて、前記多値のデータに応じた書き込み制御電圧を選び、選ばれた書き込み制御電圧をビット線に与える書き込み回路と、前記メモリセルへデータを書き込んだ後、前記書き込まれたデータが所望のデータの記憶状態になっているか否かを確認するベリファイ回路とを具備することを特徴とする。

【0012】電氣的書き替えが可能な n 値 (n は3以上の自然数)を記憶するメモリセルがマトリクス状に配置

されたメモリセルアレイと、前記メモリセルに接続されたビット線を該メモリセルを介して充電し、かつメモリセルの多値データを多値レベルの電位としてビット線に出力するしきい値検出手段と、前記しきい値検出手段によって充電された多値レベルのビット線電位をセンスするセンスアンプと、メモリセルに書き込むデータを保持する第1、第2、…、第 m のデータ回路と、前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認するために前記しきい値検出手段を用いる書き込みベリファイ手段と、前記データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、データ回路の内容を一括更新するデータ更新回路から成るデータ回路内容一括更新手段とを備え、前記データ更新回路は1つのデータ回路の内容を参照することを特徴とする。

【0013】電氣的書き替えが可能な n 値 (n は3以上の自然数)を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルに接続されたビット線を該メモリセルを介して充電し、かつメモリセルの多値データを多値レベルの電位としてビット線に出力するしきい値検出手段と、前記しきい値検出手段によって充電された多値レベルのビット線電位を参照電圧を比較することでビット線電位をセンスするセンスアンプと、メモリセルに書き込むデータを保持する第1、第2、…、第 m のデータ回路と、前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認するために前記しきい値検出手段を用いる書き込みベリファイ手段と、前記データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、データ回路の内容を一括更新するデータ更新回路から成るデータ回路内容一括更新手段とを備え、前記データ更新回路は1つのデータ回路の内容を参照し、前記データ回路内容一括更新手段は、ビット線電位が再書き込みデータとしてセンス、記憶されるよう、メモリセルの書き込み動作後の状態が出力されるビット線、および参照電位をデータ回路の内容に応じて修正し、ビット線電位が修正されるまではデータ回路のデータ記憶状態を保持し、修正されたビット線電位を保持したままデータ回路をセンスアンプとして動作させ、データ回路の内容の一括更新を行い、データ回路の内容に基づく書き込み動作とデータ回路内容一括更新を、メモリセルが所定の書き込み状態になるまで繰り返しながら行うことにより電氣的にデータ書き込みを行うことを特徴とする。

【0014】前記メモリセルは、メモリセルトランジスタが複数個ずつ直列接続されたNAND型のセルであり、前記NAND型セルの一端は、第1の選択ゲートを介してビット線に接続され、前記NAND型セルの他端は、第2の選択ゲートを介してソース線に接続され、前

記しきい値検出手段は、ソース線電圧を、前記NAND型セルを介してビット線に転送させてビット線を充電し、非選択の制御ゲート電圧及び第1、2の選択ゲート電圧は、選択されたメモリセルのしきい値でビット線電圧が決定するように、非選択メモリセル及び第1、2の選択トランジスタの電圧転送能力を十分高めるように制御されることを特徴とする。

【0015】電気的書き替え可能な n 値(n は3以上の自然数)を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルに書き込むデータを保持する第1、第2、…、第 m (m は $2^{(n-1)} < n \leq 2^n$ を満たす自然数)のデータ回路と、前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認する書き込みベリファイ手段とを備えたことを特徴とする。

【0016】電気的書き替え可能な n 値(n は3以上の自然数)を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルに書き込むデータを保持する第1、第2、…、第 m (m は $2^{(n-1)} < n \leq 2^n$ を満たす自然数)のデータ回路と、前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認する書き込みベリファイ手段と、前記データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、データ回路の内容を更新するデータ更新回路から成るデータ回路内容一括更新手段とを備え、前記データ更新回路は1つのデータ回路の内容を参照することを特徴とする。

【0017】電気的書き替え可能な n 値(n は3以上の自然数)を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルのしきい値電圧を検出するしきい値検出手段と、メモリセルに書き込むデータを保持する第1、第2、…、第 m (m は $2^{(n-1)} < n \leq 2^n$ を満たす自然数)のデータ回路と、前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認する書き込みベリファイ手段とを備え、前記しきい値検出手段は、メモリセルのゲート電極に第1のしきい値検出電圧を印加することにより、該メモリセルが“1”状態であるか、あるいは“2”又は“3”又は…“ n ”状態であるかを判定し、更に、メモリセルのゲート電極に第2のしきい値検出電圧を印加することにより、該メモリセルが“1”または“2”状態であるか、あるいは“3”、…、“ n ”状態であるかを判定するように、メモリセルのゲート電極に第1、第2、…、第 $(n-1)$ のしきい値検出電圧を印加することを特徴とする。

【0018】電気的書き替え可能な n 値(n は3以上の自然数)を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルに書き込むデータを保持するデータ回路と、前記メモリセルの書き込み動

作後の状態が所望のデータの記憶状態になっているか否かを確認する書き込みベリファイ手段とを備え、 n 種類の書き込み状態に書き込みを行う書き込み動作に際し、 k (k は $2 \leq k \leq n$ を満たす自然数)種類の書き込み状態に書き込みを行うメモリセルに対してほぼ同時に第1の書き込みを行い、第1の書き込み動作の前あるいは後に、 $n-k$ 種類の書き込み状態に書き込みを行うメモリセルに書き込みを行うことを特徴とする。

【0019】“1”状態が消去状態であり、“2”状態、“3”状態、…、“ n ”状態が書き込み状態であるような、電気的書き替え可能な n 値(n は3以上の自然数)を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルに書き込むデータを保持するデータ回路と、前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認する書き込みベリファイ手段とを備え、書き込み時に、 n 種類の書き込み動作のうち、“3”状態、…、及び“ n ”状態に書き込みを行うメモリセルにほぼ同時に第1の書き込み動作を行い、前記第2の書き込み動作の前あるいは後に、“2”状態に書き込みを行うことを特徴とする。

【0020】 n 値の書き込み状態で、“1”状態、“2”状態、“3”、…“ n ”状態の順で書き込みしきい値電圧が大きいことを特徴とする。

【0021】“1”状態、“2”状態、“3”状態、…、“ n ”状態(n は3以上の自然数)を記憶状態とするような、電気的書き替え可能な n 値を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルとデータの授受を行う信号線と、メモリセルから読み出した情報を保持する読み出しデータ保持回路とを備え、メモリセルのしきい値が“ i ”状態とほぼ同様または“ i ”状態以上であるか、あるいは“ i ”状態よりも小さいかを調べる第 i の読み出し動作を行い、読み出しデータをデータ保持回路に保持し、その後、メモリセルのしきい値が“ j ”状態とほぼ同様または“ j ”状態以上であるか、あるいは“ j ”状態よりも小さいかを調べる第 j の読み出し動作時には、メモリセルのデータが出力した信号線の電位を、前記データ保持回路に保持したデータを参照して変えた後に、信号線の電位をセンスすることを特徴とする。

【0022】電気的書き替え可能な n 値(n は3以上の自然数)を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルとデータの授受を行う信号線と、メモリセルに書き込むデータを保持するデータ回路と、前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認する書き込みベリファイ手段とを備え、メモリセルの書き込みデータを出力した信号線の電位を2度以上参照することにより、前記データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対

してのみ再書き込みを行うように、データ回路の内容を更新する。

【0023】電気的書き替え可能な n 値(n は3以上の自然数)を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルのしきい値電圧を検出するしきい値検出手段と、メモリセルに書き込むデータを保持するデータ回路と、前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認する書き込みベリファイ手段とを備え、前記しきい値検出は、メモリセルのゲート電極に第1のしきい値検出電圧を印加することにより、該メモリセルが“1”状態であるか、あるいは“2”又は“3”又は…、“ n ”状態であるかを判定し、更に、メモリセルのゲート電極に第2のしきい値検出電圧を印加することにより、該メモリセルが“1”または“2”状態であるか、あるいは“3”、…、“ n ”状態であるかを判定するように、メモリセルのゲート電極に第1、第2、…、第($n-1$)のしきい値検出電圧を印加し、メモリセルの書き込みデータを出力した信号線の電位を2度以上参照することにより、前記データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、データ回路の内容を更新することを特徴とする。

【0024】 n は4以上であることを特徴とする。

【0025】電気的書き替え可能な n 値(n は3以上の自然数)を記憶するメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルに書き込むデータを保持する m 個のデータ回路と、前記メモリセルの書き込み動作後の状態が所望のデータの記憶状態になっているか否かを確認する書き込みベリファイ手段と、前記データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、データ回路の内容を更新するデータ更新回路から成るデータ回路内容一括更新手段とを備え、前記データ更新回路は1つのデータ回路の内容を参照することを特徴とする。

【0026】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。

【0027】＜実施の形態1＞図1は、この発明の第1の実施の形態に係る多値記憶NAND型EEPROMの構成を示す構成図である。

【0028】図1に示すように、第1の実施の形態に係る多値記憶NAND型EEPROMは、オープンビット型と呼ばれる構成を有している。オープンビット型の多値記憶NAND型EEPROMは、メモリセルがマトリクス状に配置されて構成されるメモリセルアレイ1A、1Bそれぞれに対して設けられたロウ系回路2A、2Bと、メモリセルアレイ1A、1Bそれぞれで共通に使用されるカラム系回路3**とを有している。

【0029】ロウ系回路2A、2Bには、アドレス入力回路(アドレスバッファ)4から出力されたアドレス信号を受け、受けたアドレス信号に基づいて、メモリセルアレイのロウを選択するロウデコーダと、ロウデコーダの出力に基づいて、メモリセルアレイのワード線を駆動するワード線駆動回路が含まれている。NAND型EEPROMの場合、ワード線は、選択ゲートSG(SGA、SGB)および制御ゲートCG(CGA、CGB)を指す。そして、ワード線駆動回路は、制御ゲート/選択ゲート駆動回路と読み替えられる。

【0030】また、メモリセルアレイ1A、1Bそれぞれで共通に使用されるカラム系回路3**には、アドレスバッファ4から出力されたアドレス信号を受け、受けたアドレス信号に基づいて、メモリセルアレイのカラムを選択するカラムデコーダと、カラムデコーダの出力に基づいて、メモリセルアレイのカラムを選択するカラム選択線を駆動するカラム選択線駆動回路とが含まれている。

【0031】さらに、カラム系回路3**には、メモリセルへの書き込みデータを一時的に保持したり、メモリセルのデータを読み出したりするためのデータ回路(ビット線制御回路)が含まれている。

【0032】ビット線制御回路は、データ入出力線IOを介して、データ入出力回路(データ入出力バッファ)5に接続されている。また、ビット線制御回路は、ビット線BLaを介して、メモリセルアレイ1Aのメモリセルに、ビット線BLbを介して、メモリセルアレイ1Bのメモリセルにそれぞれ接続されている。

【0033】ビット線制御回路は、データを書き込むとき、書き込みデータを、データ入出力バッファ5から受け、受けた書き込みデータをメモリセルへ入力する。また、ビット線制御回路は、データを読み出すとき、読み出しデータを、メモリセルから受け、受けた読み出しデータをデータ入出力バッファ5へ出力する。

【0034】データ入出力バッファ5は、データ入出力制御を行うもので、EEPROMの外部から入力された書き込みデータをメモリコアへ導いたり、メモリコアから読み出された読み出しデータを、EEPROMの外部へ出力したりする。

【0035】書き込み終了検知回路18は、ビット線制御回路の出力に基づいて、データ書き込みが終了したか否かを検知する。

【0036】図2は、図1に示すメモリセルアレイ、およびカラム系回路の構成を示す構成図である。図3は、図2に示すメモリセルからデータを読み出すときを示す図で、(a)図は電圧の入力状態を示す図、(b)図は電圧の入力波形と、ビット線に現れる出力波形とを示す図である。

【0037】図2に示すように、メモリセルアレイ1A、1Bにはそれぞれ、メモリセルMCがマトリクス状に配置されている。

【0038】また、カラム系回路3**には、m個のデータ回路（ビット線制御回路）6**が含まれている。ビット線制御回路6**は、1本のビット線BLa、および1本のビット線BLbに接続されている。

【0039】また、図3（a）に示すように、NAND型EEPROMでは、1つのセルMCには、互いに直列に接続された複数のメモリセルトランジスタM1～M4が含まれ、NAND型のセルMCを構成している。セルMCの一端は、選択トランジスタS1を介してビット線BLに接続され、その他端は、選択トランジスタS2を介して、ソース線VSに接続される。制御ゲートCGを共有するメモリセルトランジスタMのグループは、“ページ”と呼ばれる単位を形成する。データの書き込みおよび読み出しは、“ページ”で同時に行われる。また、4本の制御ゲートCG1～CG4に接続されるメモリセルトランジスタMのグループは、“ブロック”と呼ばれる単位を形成する。“ページ”、および“ブロック”はそれぞれ、制御ゲート／選択ゲート駆動回路によって選択される。

【0040】メモリセルトランジスタMは、多値のデータは、しきい値のレベルにより記憶する。そして、この発明に係る装置では、しきい値のレベルを、図3（a）および（b）に示されるようにして読み出す。ここでは制御ゲートCG2を有するメモリセルトランジスタM2が選択されている。図3（a）に見られるように電圧を各部に印加し、ビット線BLはフローティングにする。ビット線BLを前もって0Vにリセットしておく、ビット線BLは共通ソース線VsによってNANDセルを通して充電される。この充電されたビット線BLの電位が選択されたメモリセルM2のしきい値によって決まるように、各選択ゲート、制御ゲート電圧は制御される。

【0041】この例では、選択ゲートSG1、2、制御ゲートCG1、CG3～4を6Vに、選択された制御ゲートCG2を2Vに、共通ソース線Vsを6Vにする。各部の電圧波形は図3（b）に示されている。例えばビット線BLの電位が0Vであればしきい値は2V以上、ビット線電位が3.5Vであればしきい値は-1.5V以下である。ただし以下の実施の形態では、説明を簡略化するため、しきい値という表現は、バックバイアスを考慮したものとする。

【0042】消去動作によってメモリセルの浮遊ゲートから電子が放出された後、書き込みデータに従う書き込み動作によって電子が浮遊ゲートに注入される。

【0043】図4は、ビット線に現れる出力電圧と、メモリセルの数とを関係を示す図である。

【0044】1つのメモリセルに3つの状態（データ“0”、“1”、“2”）を持たせる場合、例えば図4の様に読みだし時のビット線出力電圧が3.5～4.5Vとなる状態（しきい値で約-2.5V～-1.5V）をデータ“0”（消去状態）、ビット線出力電圧が1.5

～2.5Vとなる状態（しきい値で約-0.5V～0.5V）をデータ“1”、ビット線出力電圧が0～0.5Vとなる状態（しきい値で約1.5V～2.5V）をデータ“2”とすればよい。

【0045】図5は、図2に示すデータ回路の回路図である。図5に示すデータ回路は、3値記憶を例に構成されている。

【0046】図5に示すように、nチャネルMOSトランジスタQn21、Qn22、Qn23とpチャネルMOSトランジスタQp9、Qp10、Qp11により構成されるフリップ・フロップFF1と、nチャネルMOSトランジスタQn29、Qn30、Qn31とpチャネルMOSトランジスタQp16、Qp17、Qp18により構成されるFF2とは、書き込み／読み出しデータがラッチされる。また、これらはセンスアンプとしても動作する。

【0047】フリップ・フロップFF1は「“0”書き込みをするか、あるいは“1”書き込みまたは“2”書き込みをするか」を書き込みデータ情報としてラッチし、メモリセルが「“0”の情報保持しているか、あるいは“1”の情報保持しているか、または“2”の情報保持しているか」を読み出しデータ情報としてセンスしラッチする。フリップ・フロップFF2は「“1”書き込みをするか、または“2”書き込みをするか」を書き込みデータ情報としてラッチし、メモリセルが「“1”の情報保持しているか、あるいは“2”の情報保持しているか」を読み出しデータ情報としてセンスしラッチする。

【0048】データ入出力線IOA、IOBとフリップ・フロップFF1は、nチャネルMOSトランジスタQn28、Qn27を介して接続される。データ入出力線IOC、IODとフリップ・フロップFF2は、nチャネルMOSトランジスタQn35、Qn36を介して接続される。データ入出力線IOA、IOB、IOC、IODは、図1中のデータ入出力バッファ5にも接続される。

【0049】nチャネルMOSトランジスタQn27、Qn28、Qn35、Qn36のゲートは、NAND論理回路G2とインバータI4で構成されるカラムアドレスデコードの出力に接続される。nチャネルMOSトランジスタQn26、Qn34は、それぞれフリップ・フロップFF1、FF2を信号ECH1、ECH2が“H”となってイコライズする。nチャネルMOSトランジスタQn24、Qn32は、フリップ・フロップFF1、FF2とMOSキャパシタQd1の接続を制御する。nチャネルMOSトランジスタQn25、Qn33は、フリップ・フロップFF1、FF2とMOSキャパシタQd2の接続を制御する。

【0050】pチャネルMOSトランジスタQp12、Qp13で構成される回路は、活性化信号VRFYBA

によって、フリップ・フロップFF1のデータに応じて、MOSキャパシタQd1のゲート電圧を変更する。pチャネルMOSTランジスタQp14、Qp15で構成される回路は、活性化信号VRFYBBによって、フリップ・フロップFF1のデータに応じて、MOSキャパシタQd2のゲート電圧を変更する。nチャネルMOSTランジスタQn1、Qn2で構成される回路は、活性化信号VRFYBA1によって、フリップ・フロップFF2のデータに応じて、MOSキャパシタQd1のゲート電圧を変更する。nチャネルMOSTランジスタQn3、Qn4で構成される回路は、活性化信号VRFYBB1によって、フリップ・フロップFF2のデータに応じて、MOSキャパシタQd2のゲート電圧を変更する。

【0051】MOSキャパシタQd1、Qd2は、ディプリーション型nチャネルMOSTランジスタで構成され、ビット線容量より十分小さくされる。nチャネルMOSTランジスタQn37は、信号PREAによってMOSキャパシタQd1を電圧VAに充電する。nチャネルMOSTランジスタQn38は、信号PREBによってMOSキャパシタQd2を電圧VBに充電する。nチャネルMOSTランジスタQn39、Qn40は、信号BLCA、BLCBによって、データ回路3とビット線BLa、BLbの接続をそれぞれ制御する。nチャネルMOSTランジスタQn37、Qn38で構成される回路はビット線電圧制御回路を兼ねる。pチャネルMOSTランジスタQp12、Qp13で構成される回路、pチャネルMOSTランジスタQp14、Qp15で構成される回路、nチャネルMOSTランジスタQn1、Qn2で構成される回路、およびnチャネルMOSTランジスタQn3、Qn4で構成される回路は、ビット線電圧制御回路でもある。

【0052】次に、このように構成されたEEPROMの動作を、動作波形図に従って説明する。以下では制御ゲートCG2Aが選択されている場合を示す。

【0053】＜読み出し動作＞図6は、読み出し動作を示す動作波形図である。

【0054】図6に示すように、まず、時刻t1Rに、制御ゲート・選択ゲート駆動回路によって選択されたブロックの選択された制御ゲートCG2Aは2V、非選択制御ゲートCG1A、CG3A、CG4Aと選択ゲートSG1A、SG2Aは6Vにされる。メモリセルのソース電位は6Vにされる。メモリセルが“0”の場合にはビット線BLaは3.5V以上に、“1”の場合にはビット線BLaは1.5V以上2.5V以下に、“2”の場合には0.5V以下になる。ダミービット線BLbはVBから3Vに充電される。nチャネルMOSTランジスタQn40のしきい値分の電圧降下が問題になるときは、信号BLCAを昇圧すればよい。

【0055】時刻t2RにキャパシタQd1、Qd2のノ

ードN1、N2が1.5Vにされた後フローティングにされる。時刻t3RにBLCA、BLCBがVCC（例えば5V）になり、ビット線BLa、BLbの電位がN1、N2に転送される。その後、再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。信号SAN1、SAP1がそれぞれ“L”、“H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A、RV1Bが“H”となる。nチャネルMOSTランジスタQn24、Qn25のしきい値分の電圧降下が問題になるときは、信号RV1A、RV1Bを昇圧すればよい。時刻t4Rに再度、信号SAN1、SAP1がそれぞれ“H”、“L”となることで、ノードN1、N2の電圧がセンスされラッチされる。これで、「メモリセルのデータが“0”或いは、“1”または“2”か」がフリップ・フロップFF1によってセンスされ、その情報はラッチされる。

【0056】次に、メモリセルが“1”であるかまたは“2”であるかがセンスされる。

【0057】時刻t5Rにダミービット線BLbがVBから1Vに充電される。時刻t6RにキャパシタQd1、Qd2のノードN1、N2が1.5Vにされた後フローティングにされる。再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。信号SAN2、SAP2がそれぞれ“L”、“H”となってフリップ・フロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、信号RV2A、RV2Bが“H”となる。時刻t7Rに再度、信号SAN2、SAP2がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、メモリセルのデータが“1”であるか“2”であるかがフリップ・フロップFF2によってセンスされ、その情報はラッチされる。

【0058】図7は、フリップ・フロップFF1、FF2がセンスし、ラッチする読み出しデータを示す図である。

【0059】この時のフリップ・フロップFF1、FF2のデータは、図7のようになり、データ入出力線IOA、IOB、IOC、IODに読み出しデータが出力される。

【0060】チップ外部への出力データは、入出力バッファ5で、データ入力線IOA、IOB、IOC、IODに出力された信号をもとに変換したものよい。

【0061】＜書き込み動作＞書き込み動作前に、入力された2ビット分のデータは、データ入出力バッファ4で変換されて、データ回路6**に入力される。

【0062】図8は、データ回路6**に入力され、フリップ・フロップFF1、FF2がラッチする書き込みデ

ータを示す図である。4値データとデータ入出力線IOA、IOB、IOC、IODの関係は図8のとうりである。

【0063】変換された3値データは、カラム活性化信号CENBが“H”で、アドレス信号で指定されたカラム番地のデータ回路に転送される。

【0064】図9は、書き込み動作を示す動作波形図である。

【0065】時刻 t_{1w} に、電圧VAがビット線書き込み制御電圧1Vとなってビット線BLaが1Vとされる。nチャネルMOSトランジスタQn39のしきい値分の電圧降下が問題になるときは、信号BLCAを昇圧すればよい。続いて、信号PREが“L”となってビット線がフローティングにされる。次に、時刻 t_{2w} に信号RV2Aが1.5Vとされる。これによって、データ“2”が保持されているカラムではビット線制御電圧0Vがビット線に印加される。nチャネルMOSトランジスタQn32のしきい値を1Vとすると、“0”または“1”書き込み時にはnチャネルMOSトランジスタQn32は“OFF”、“2”書き込み時には“ON”となる。その後、時刻 t_{3w} にVRFYBAが0Vになり、データ“0”が保持されているデータ回路からはビット線書き込み制御電圧VCC（例えば5V）がビット線に出力される。

【0066】その結果、“0”書き込みするビット線はVCC、“1”書き込みするビット線は1V、“2”書き込みするビット線は0Vになる。

【0067】時刻 t_{1w} に制御ゲート・選択ゲート駆動回路によって、選択されたブロックの選択ゲートSG1A、制御ゲートCG1A～CG4AがVCCとなる。選択ゲートSG2Aは0Vである。次に、選択された制御ゲートCG2Aが高電圧VPP（例えば20V）、非選択制御ゲートCG1A、CG3A、CG4AがVM（例えば10V）となる。データ“2”が保持されているデータ回路に対応するメモリセルでは、0Vのチャネル電位と制御ゲートのVPPの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。データ“1”が保持されているデータ回路に対応するメモリセルでは、1Vのチャネル電位と制御ゲートのVPPの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。チャネル電位を1Vにしているのは、“2”データ書き込みより電子の注入量が少なくよいためである。データ“0”が保持されているデータ回路に対応するメモリセルでは、チャネル電位と制御ゲートのVPPの電位差が小さいため、実効的には浮遊ゲートに電子は注入されない。よって、メモリセルのしきい値は変動しない。書き込み動作中、信号SAN1、SAN2、VRFYB、PREB、BLCBは“H”、信号SAP1、SAP2、RV1A、RV1B、RV2B、ECH1、ECH2は“L”、電圧VBは0Vである。

【0068】<ベリファイ読み出し動作>図10は、ベリファイ読み出し動作を示す動作波形図である。

【0069】まず、時刻 t_{1R} に、制御ゲート・選択ゲート駆動回路によって選択されたブロックの選択された制御ゲートCG2Aは2V、非選択制御ゲートCG1A、CG3A、CG4Aと選択ゲートSG1A、SG2Aは6Vにされる。メモリセルのソース電位は6Vにされる。“0”書き込みの場合にはビット線BLaは3.5V以上になる。“1”書き込み十分の場合にはビット線BLaは2.5V以下に、“1”書き込み不十分の場合には1.5V以上になる。“2”書き込み十分の場合には0.5V以下に、“2”書き込み不十分の場合には0.5V以上になる。ダミービット線BLbはVBから2.5Vに充電される。ダミービット線BLbの電位を“1”読み出し時の3Vよりも0.5Vだけ小さくしているのは、メモリセルを十分に書き込むためである。またnチャネルMOSトランジスタQn40のしきい値分の電圧降下が問題になるときは、信号BLCAを昇圧すればよい。

【0070】時刻 t_{2R} にキャパシタQd1、Qd2のノードN1、N2が1.5Vにされた後フローティングにされる。そして、時刻 t_{3R} にVRFYBB1が“H”になる。この時、図7からわかるように、ノードN6が“H”なのは“2”書き込みの場合だけである。従って“2”書き込みするダミービット線BLbはVrefから0.5Vになる。“2”書き込みのダミービット線BLbの電位を“2”読み出し時の1Vよりも0.5Vだけ小さくしているのは、メモリセルを十分に書き込むためである。“0”または“1”書き込みの場合にはN6が“L”なのでnチャネルMOSトランジスタQn4はオフし、ダミービット線BLbは2.5Vを保つ。

【0071】時刻 t_{4R} に、BLCA、BLCBがVC（例えば5V）になり、ビット線BLa、BLbの電位がN1、N2に転送される。その後、再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。

【0072】時刻 t_{5R} にRV1Aが1.5Vになる。これによって、データ“0”書き込みするカラムではN1が接地される。nチャネルMOSトランジスタQn24のしきい値を1Vとすると、“1”または“2”書き込み時にはnチャネルMOSトランジスタQn24は“OFF”、“0”書き込み時には“ON”となる。

【0073】信号SAN1、SAP1がそれぞれ“L”、“H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A、RV1Bが“H”となる。nチャネルMOSトランジスタQn24、Qn25のしきい値分の電圧降下が問題になるときは、信号RV1A、RV1Bを昇圧すればよい。時刻 t_{4R} に再度、

信号SAN1、SAP1がそれぞれ“H”、“L”となることで、ノードN1、N2の電圧がセンスされラッチされる。

【0074】以上のようにして、“1”書き込みデータを保持しているデータ回路では、対応するメモリセルのデータが十分“1”書き込み状態となったか否かを検出する。メモリセルのデータが“1”であれば、フリップ・フロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“1”に変更される。メモリセルのデータが“1”でなければ、フリップ・フロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“1”に保持される。また、“2”書き込みデータを保持しているデータ回路では、対応するメモリセルのデータが十分“2”書き込み状態となったか否かを検出する。メモリセルのデータが“2”であれば、フリップ・フロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“0”に変更される。メモリセルのデータが“2”でなければ、フリップ・フロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“2”に保持される。“0”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0075】書き込みベリファイ中、信号VRFYBBは“H”、電圧Vsは0Vとする。

【0076】“1”書き込みまたは“2”書き込みする全ての選択されたメモリセルが所望のしきい値に達していれば、データ回路のノードN4はすべて“L”になる。つまり“1”書き込みまたは“2”書き込みする選択されたすべてのメモリセルが十分に書き込まれると、すべてのデータ回路6**0、6**1、…、6**m-1、6**mのノードN3が“H”、N4が“L”になる。これを検出すると、“2”書き込みまたは“3”書き込みする全ての選択されたメモリセルが所望のしきい値に達したか否かがわかる。“2”書き込みおよび“3”書き込み終了の検出は例えば、図5のように“2”、“3”書き込み終了一括検知トランジスタQn5を用いればよい。ベリファイリード後、VRTを例えばVCCにプリチャージする。“1”または“2”書き込みが不十分なメモリセルが1つでもあると、そのデータ回路のノードN4は“H”なのでnチャネルMOSトランジスタQn5はオンし、VRTは接地される。すべての“1”または“2”書き込みするメモリセルが十分に書き込まれると、データ回路6**0、6**1、…、6**m-1、6**mのノードN4が“L”になる。その結果、全てのデータ回路内のnチャネルMOSトランジスタQn5がオフになるのでVRTはプリチャージ電位を保つ。

【0077】上記第1の実施の形態に係る多値記憶NAND型EEPROMでは、データの書き込みを行う際に、少なくとも1つのビット線電圧制御回路によって、ビット線を所望のビット線書き込み制御電圧に充電す

る。このような装置であると、簡単な回路構成を持つ、 n ($n \geq 2$) 値書き込みデータに応じたビット線書き込み制御電圧を、ビット線に印加するビット線電圧制御回路を実現することができる。

【0078】よって、カラム系回路3の回路規模が、特にセンスアンプ回路、データラッチ回路、ベリファイ回路の数が減ることによって小さくなり、高集積化に適した不揮発性半導体記憶装置を得ることができる。

【0079】＜実施の形態2＞次に、この発明の第2の実施の形態に係る多値記憶NAND型EEPROMを説明する。

【0080】第1の実施の形態に係るEEPROMは、多値のデータの数を、3値とした例を説明したが、第2の実施の形態に係るEEPROM以降は、多値のデータの数を4値とした例を説明する。

【0081】なお、第2の実施の形態に係るEEPROMは、図1、図2に示した構成と同様な構成を持つ。

【0082】図11は、4値記憶のときのメモリセルトランジスタのしきい値分布を示す図である。

【0083】EEPROMを4値記憶式とするときには、1つのメモリセルトランジスタMに、4つの書き込み状態を設ける。4つの書き込み状態はそれぞれ、メモリセルトランジスタMのしきい値電圧により、互いに区別される。

【0084】図11に示すように、電源電圧VCCが3VであるEEPROMでは、データ“0”の状態は、データ消去後の状態と同じとし、例えば負のしきい値を持たせる。また、データ“1”の状態には、例えば0.5Vから0.8Vの間のしきい値を持たせる。データ“2”の状態には、例えば1.5Vから1.8Vの間のしきい値を持たせる。データ“3”の状態には、例えば2.5Vから2.8Vの間のしきい値を持たせる。

【0085】メモリセルトランジスタMからデータを読み出すときには、制御ゲートCGに、3つの読み出し電圧VCG2R、VCG3R、VCG1Rの順で印加する。

【0086】まず、制御ゲートCGに、読み出し電圧VCG2Rを印加する。これにより、メモリセルトランジスタMが「ON」するか「OFF」するかで、記憶されているデータが「“0”」、「“1”」か、「“2”」、「“3”」かが検出される。続けて、読み出し電圧VCG3Rを印加すると、記憶されているデータが「“2”」か、「“3”」かが検出され、さらに、読み出し電圧VCG1Rを印加すると、データが「“0”」か、「“1”」かが検出される。読み出し電圧VCG1R、VCG2R、VCG3Rの一つの例は、それぞれ0V、1V、2Vである。

【0087】また、図11に示す電圧VCG1V、VCG2V、VCG3Vは、ベリファイ読み出し電圧と呼ばれるもので、データが十分に書き込まれたか否かをチェ

ックするとき（ベリファイ動作）に使用される読み出し電圧である。ベリファイ読み出し電圧は、データを書き込んだ後に制御ゲートCGに印加される。ベリファイ読み出し電圧が制御ゲートCGに印加されたとき、メモリセルトランジスタMが「ON」するか「OFF」するかで、メモリセルトランジスタMのしきい値が、書き込まれたデータに応じた範囲までシフトされているか否かを知ることができる。これを利用して、十分な書き込みが行われたか否かをチェックする。ベリファイ読み出し電圧VCG1V、VCG2V、VCG3Vの一つの例は、それぞれ0.5V、1.5V、2.5Vである。

【0088】図12は、この発明の第2の実施の形態に係るEEPROMが有するデータ回路の回路図である。図12に示すデータ回路は、4値記憶を例に構成されている。

【0089】図12に示すように、nチャネルMOSTランジスタQn21、Qn22、Qn23とpチャネルMOSTランジスタQp9、Qp10、Qp11により構成されるフリップ・フロップFF1と、nチャネルMOSTランジスタQn29、Qn30、Qn31とpチャネルMOSTランジスタQp16、Qp17、Qp18により構成されるFF2とは、書き込み/読み出しデータがラッチされる。また、これらはセンスアンプとしても動作する。

【0090】フリップ・フロップFF1、FF2は、「0」書き込みをするか、「1」書き込みをするか、「2」書き込みをするか、「3」書き込みをするか」を書き込みデータ情報としてラッチし、メモリセルが「0」の情報を持しているか、「1」の情報を持しているか、「2」の情報を持しているか、「3」の情報を持しているか」を読み出しデータ情報としてセンスしラッチする。

【0091】データ入出力線IOA、IOBとフリップ・フロップFF1は、nチャネルMOSTランジスタQn28、Qn27を介して接続される。データ入出力線IOC、IODとフリップ・フロップFF2は、nチャネルMOSTランジスタQn35、Qn36を介して接続される。データ入出力線IOA、IOB、IOC、IODは、図1に示したデータ入出力バッファ5にも接続される。

【0092】nチャネルMOSTランジスタQn27、Qn28、Qn35、Qn36のゲートは、NAND論理回路G2とインバータI4で構成されるカラムアドレスデコードの出力に接続される。nチャネルMOSTランジスタQn26、Qn34は、それぞれフリップ・フロップFF1、FF2を信号ECH1、ECH2が“H”となってイコライズする。nチャネルMOSTランジスタQn24、Qn32は、フリップ・フロップFF1、FF2とMOSキャパシタQd1の接続を制御する。nチャネルMOSTランジスタQn25、Qn33

は、フリップ・フロップFF1、FF2とMOSキャパシタQd2の接続を制御する。

【0093】pチャネルMOSTランジスタQp12、Qp13で構成される回路は、活性化信号VRFYBAによって、フリップ・フロップFF1のデータに応じて、MOSキャパシタQd1のゲート電圧を変更する。pチャネルMOSTランジスタQp14、Qp15で構成される回路は、活性化信号VRFYBBによって、フリップ・フロップFF1のデータに応じて、MOSキャパシタQd2のゲート電圧を変更する。nチャネルMOSTランジスタQn1、Qn2で構成される回路は、活性化信号VRFYBA1によって、フリップ・フロップFF2のデータに応じて、MOSキャパシタQd1のゲート電圧を変更する。nチャネルMOSTランジスタQn3、Qn4で構成される回路は、活性化信号VRFYBB1によって、フリップ・フロップFF2のデータに応じて、MOSキャパシタQd2のゲート電圧を変更する。

【0094】MOSキャパシタQd1、Qd2は、ディプリーション型nチャネルMOSTランジスタで構成され、ビット線容量より十分小さくされる。nチャネルMOSTランジスタQn37は、信号PREAによってMOSキャパシタQd1を電圧VAに充電する。nチャネルMOSTランジスタQn38は、信号PREBによってMOSキャパシタQd2を電圧VBに充電する。nチャネルMOSTランジスタQn39、Qn40は、信号BLCA、BLCBによって、データ回路3とビット線BLa、BLbの接続をそれぞれ制御する。nチャネルMOSTランジスタQn37、Qn38で構成される回路はビット線電圧制御回路を兼ねる。pチャネルMOSTランジスタQp12、Qp13で構成される回路、pチャネルMOSTランジスタQp14、Qp15で構成される回路、nチャネルMOSTランジスタQn1、Qn2で構成される回路、およびnチャネルMOSTランジスタQn3、Qn4で構成される回路は、ビット線電圧制御回路でもある。また、フリップ・フロップFF2とnチャネルMOSTランジスタQn32、Qn33で構成される回路もビット線電圧制御回路を兼ねる。

【0095】次に、このように構成されたEEPROMの動作を、動作波形図に従って説明する。以下では制御ゲートCG2Aが選択されている場合を示す。

【0096】＜読み出し動作＞図13は、読み出し動作を示す動作波形図である。

【0097】図13に示すように、まず、時刻t1Rに、電圧VA、VBがそれぞれ1.8V、1.5Vとなって、ビット線BLa、BLbはそれぞれ1.8V、1.5Vになる。信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離され、ビット線BLa、BLbはフローティングとなる。信号PR

EA、PREBが“L”となって、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2はフローティング状態になる。続いて、時刻t2Rに制御ゲート・選択ゲート駆動回路によって選択されたブロックの選択された制御ゲートCG2Aは1V、非選択制御ゲートCG1A、CG3A、CG4Aと選択ゲートSG1A、SG2AはVCCにされる。選択されたメモリセルのしきい値が1V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が1V以上なら、ビット線電圧は1.8Vのままとする。この後、時刻t3Rに信号BLCA、BLCBが“H”となりビット線のデータがMOSキャパシタQd1、Qd2に転送される。その後、再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。信号SAN1、SAP1がそれぞれ“L”、“H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A、RV1Bが“H”となる。時刻t4Rに再度、信号SAN1、SAP1がそれぞれ“H”、“L”となることで、ノードN1、N2の電圧がセンスされラッチされる。これで、「メモリセルのデータが“0”または“1”か、或いは“2”または“3”か」がフリップ・フロップFF1によってセンスされ、その情報はラッチされる。

【0098】次に、選択された制御ゲートが2Vにされる。時刻t5Rに信号PREA、PREBが“H”となって、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2はそれぞれ1.8V、1.5Vになる。信号PREA、PREBが“L”となって、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2はフローティング状態になる。選択されたメモリセルのしきい値が2V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が2V以上なら、ビット線電圧は1.8Vのままとする。この後、時刻t6Rに信号BLCA、BLCBが“H”とされる。再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。信号SAN2、SAP2がそれぞれ“L”、“H”となってフリップ・フロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、信号RV2A、RV2Bが“H”となる。時刻t7Rに再度、信号SAN2、SAP2がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、メモリセルのデータが“3”か否かがフリップ・フロップFF2によってセンスされ、その情報はラッチされる。

【0099】図14は、時刻t7Rのときにフリップ・フロップFF1、FF2がセンスし、ラッチしている読み

出しデータを示す図である。

【0100】最後にメモリセルに書き込まれたデータが「“0”か否か」がセンスされる。まず時刻t8Rに、ビット線BLa、BLbはそれぞれ1.8V、1.5Vに充電された後、フローティングになる。また、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2もフローティング状態になる。続いて、時刻t9Rに制御ゲート・選択ゲート駆動回路によって選択されたブロックの選択された制御ゲートCG2Aは0V、非選択制御ゲートCG1A、CG3A、CG4Aと選択ゲートSG1A、SG2AはVCCにされる。選択されたメモリセルのしきい値が0V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が0V以上なら、ビット線電圧は1.8Vのままとする。この後、時刻t10Rに信号BLCA、BLCBが“H”となりビット線のデータがMOSキャパシタQd1、Qd2に転送される。その後、再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。MOSキャパシタのデータをセンスするに先立ち、時刻t11RにVRFYBA1がVCCになる。図14からわかるように、ノードN5が“high level”なのは“3”データの場合のみである。従って“3”データの場合のみnチャネルMOSトランジスタQn2がオンし、ノードN1は接地される。そして、信号SAN2、SAP2がそれぞれ“L”、“H”となってフリップ・フロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、信号RV2A、RV2Bが“H”となる。時刻t12Rに再度、信号SAN2、SAP2がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“0”か否か」がフリップ・フロップFF2によってセンスされ、その情報はラッチされる。

【0101】図15は、フリップ・フロップFF1、FF2がセンスし、ラッチする読み出しデータを示す図である。

【0102】以上の読み出し動作の結果、4値のデータが図15のようにフリップフロップFF1、FF2にラッチされる。

【0103】図中の各データのしきい値分布は次の通りである。

【0104】

データ“0”・・・しきい値：0V以下

データ“1”・・・しきい値0.5V以上0.8V以下

データ“2”・・・しきい値1.5V以上1.8V以下

データ“3”・・・しきい値2.5V以上2.8V以下

読み出し中、信号VRFYBA、VRFYBBは“H”である。また、電圧Vs（Vsa、Vsb）は0Vとする。

【0105】カラムアドレスデコードに入力されるカラ

ム活性化信号CENBが“H”となると、アドレス信号によって選択されたデータ回路に保持されているデータがデータ入出力線IOA、IOB、IOC、IODに出力され、データ入出力バッファ5を介してEEPROM外部へ出力される。

【0106】メモリセルに記憶されているデータ、しきい値、データ入出力線IOA、IOB、IOC、IODに読み出し後に出力されるレベルの関係は、図15の通りである。

【0107】チップ外部への出力データは、データ入出力バッファ5でデータ入力線IOA、IOB、IOC、IODに出力された信号をもとに変換したものもよい。

【0108】＜書き込み動作＞図16は、書き込み動作の概略を示す概略図である。

【0109】図16に示すように、まず、書き込みデータがフリップフロップFF1、FF2にロードされる。その後、プログラム第1サイクルで“2”データおよび“3”データがほぼ同時に書き込まれる。そして“2”データ、“3”データが十分書き込まれたかを調べるベリファイリード第1サイクルが行われ、書き込み不十分のメモリセルがある場合には、再書き込みが行われる。“2”書き込みおよび“3”書き込みするメモリセルがすべて十分に書き込まれると、次に“1”書き込みするメモリセルにほぼ同時に書き込みが行われる（プログラム第2サイクル）。そして“1”書き込みが十分に行われたかを調べるベリファイリード第2サイクルが行われる。“1”書き込み不十分のメモリセルには再書き込みが行われ、またすべてのメモリセルが十分に書き込まれると書き込みが終了する。

【0110】以下、プログラム第1サイクル、ベリファイリード第1サイクル、プログラム第2サイクル、ベリファイリード第2サイクルの順に詳細に説明する。

【0111】（1）プログラム第1サイクル
書き込み動作前に、入力された2ビット分のデータは、データ入出力バッファ4で変換されて、データ回路6**に入力される。

【0112】図17は、データ回路6**に入力され、フリップ・フロップFF1、FF2がラッチする書き込みデータを示す図である。4値データとデータ入出力線IOA、IOB、IOC、IODの関係は図17の通りである。

【0113】変換された4値データは、カラム活性化信号CENBが“H”で、アドレス信号で指定されたカラム番地のデータ回路に転送される。

【0114】図18は、書き込み動作（プログラム第1サイクル）を示す動作波形図である。

【0115】時刻 t_1 に、電圧VAがビット線書き込み制御電圧1Vとなってビット線BLaが1Vとされる。nチャネルMOSトランジスタQn39のしきい値分の電圧降下が問題になるときは、信号BLCAを昇圧す

ればよい。続いて、信号PREが“L”となってビット線がフローティングにされる。次に、時刻 t_2 に信号RV2Aが1.5Vとされる。これによって、データ“1”または“3”が保持されているカラムではビット線制御電圧0Vがビット線に印加される。nチャネルMOSトランジスタQn32のしきい値を1Vとすると、“0”または“2”書き込み時にはnチャネルMOSトランジスタQn32は“OFF”、“1”または“3”書き込み時には“ON”となる。その後、時刻 t_3 にVRFYBAが0Vになり、データ“0”またはデータ“1”が保持されているデータ回路からはビット線書き込み制御電圧VCCがビット線に出力される。

【0116】その結果、“0”書き込みまたは“1”書き込みするビット線はVCC、“2”書き込みするビット線は1V、“3”書き込みするビット線は0Vになる。

【0117】時刻 t_1 に制御ゲート・選択ゲート駆動回路によって、選択されたブロックの選択ゲートSG1A、制御ゲートCG1A～CG4AがVCCとなる。選択ゲートSG2Aは0Vである。次に、選択された制御ゲートCG2Aが高電圧VPP（例えば20V）、非選択制御ゲートCG1A、CG3A、CG4AがVM（例えば10V）となる。データ“3”が保持されているデータ回路に対応するメモリセルでは、0Vのチャネル電位と制御ゲートのVPPの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。データ“2”が保持されているデータ回路に対応するメモリセルでは、1Vのチャネル電位と制御ゲートのVPPの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。チャネル電位を1Vにしているのは、“3”データ書き込みより電子の注入量が少なくてよいからである。データ“0”またはデータ“1”が保持されているデータ回路に対応するメモリセルでは、チャネル電位と制御ゲートのVPPの電位差が小さいため、実効的には浮遊ゲートに電子は注入されない。よって、メモリセルのしきい値は変動しない。書き込み動作中、信号SAN1、SAN2、VRFYBB、PREB、BLCBは“H”、信号SAP1、SAP2、RV1A、RV1B、RV2B、ECH1、ECH2は“L”、電圧VBは0Vである。

【0118】（2）ベリファイ読み出し第1サイクル
書き込み動作後、“2”書き込みするメモリセルと“3”書き込みするメモリセルのしきい値を検出する（書き込みベリファイ）。もし、所望のしきい値に達していれば、データ回路のデータを“0”に変更する。もし、所望のしきい値に達していなければ、データ回路のデータを保持して再度書き込み動作を行う。書き込み第1サイクルと書き込みベリファイ第1サイクルは全ての“2”書き込みするメモリセルおよび“3”書き込みするメモリセルが所望のしきい値に達するまで繰り返され

る。

【0119】図19は、ベリファイ読み出し動作（ベリファイ読み出し第1サイクル）を示す動作波形図である。

【0120】まず、時刻 t_{1v} に、電圧 V_A 、 V_B がそれぞれ1.8V、1.5Vとなって、ビット線 BL_a 、 BL_b はそれぞれ1.8V、1.5Vになる。信号 BLC_A 、 BLC_B が“L”となって、ビット線 BL_a とMOSキャパシタ Q_{d1} 、ビット線 BL_b とMOSキャパシタ Q_{d2} は切り離され、ビット線 BL_a 、 BL_b はフローティングとなる。信号 PRE_A 、 PRE_B が“L”となって、MOSキャパシタ Q_{d1} 、 Q_{d2} のゲート電極であるノード N_1 、 N_2 はフローティング状態になる。続いて時刻 t_{2v} に、制御ゲート・選択ゲート駆動回路によって選択されたブロックの選択された制御ゲート CG_{2A} は1.5V、非選択制御ゲート CG_{1A} 、 CG_{3A} 、 CG_{4A} と選択ゲート SG_{1A} 、 SG_{2A} は V_{CC} にされる。選択されたメモリセルのしきい値が1.5V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が1.5V以上なら、ビット線電圧は1.8Vのままとなる。時刻 t_{3v} に、信号 BLC_A 、 BLC_B が“H”とされ、ビット線の電位が N_1 、 N_2 に転送される。その後、信号 BLC_A 、 BLC_B が“L”となって、ビット線 BL_a とMOSキャパシタ Q_{d1} 、ビット線 BL_b とMOSキャパシタ Q_{d2} は切り離される。この後時刻 t_{4v} に、信号 RV_{2A} が例えば V_{CC} 以下の1.5Vとされる。nチャネルMOSトランジスタ Q_{n32} のしきい値が1Vの場合、“3”書き込みデータが保持されているデータ回路ではnチャネルMOSトランジスタ Q_{n32} は“ON”で、ノード N_1 は0Vとなる。“2”書き込みデータが保持されているデータ回路で、メモリセルが十分に“2”書き込みされている場合にはnチャネルMOSトランジスタ Q_{n32} は“OFF”で、ノード N_1 は1.5V以上に保たれる。“2”書き込み不十分の場合には、ノード N_1 は1.5V以下である。時刻 t_{5v} に信号 $VRFYBA$ が“L”となると、“0”または“1”書き込みデータが保持されているデータ回路では、pチャネルMOSトランジスタ Q_{p13} が“ON”であり、ノード N_1 は V_{CC} となる。信号 SAN_1 、 SAP_1 がそれぞれ“L”、“H”となってフリップ・フロップ FF_1 が非活性化され、信号 ECH_1 が“H”となってイコライズされる。この後、信号 RV_{1A} 、 RV_{1B} が“H”となる。再度、信号 SAN_1 、 SAP_1 がそれぞれ“H”、“L”となることで、時刻 t_{6v} にノード N_1 の電圧がセンスされラッチされる。これで、“2”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが十分“2”書き込み状態となったか否かを検出する。メモリセルのデータが“2”であれば、フリップ・フロップ FF_1 でノード N_1 の電圧をセンスしラッチするこ

とで書き込みデータは“0”に変更される。メモリセルのデータが“2”でなければ、フリップ・フロップ FF_1 でノード N_1 の電圧をセンスしラッチすることで書き込みデータは“2”に保持される。“0”または“1”または“3”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0121】次に、選択された制御ゲートが2.5Vにされる。選択されたメモリセルのしきい値が2.5V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が2.5V以上なら、ビット線電圧は1.8Vのままとなる。この後時刻 t_{7v} に、信号 BLC_A 、 BLC_B が“H”とされ、ビット線の電位が N_1 、 N_2 に転送される。再度、信号 BLC_A 、 BLC_B が“L”となって、ビット線 BL_a とMOSキャパシタ Q_{d1} 、ビット線 BL_b とMOSキャパシタ Q_{d2} は切り離される。この後、信号 $VRFYBC$ が“L”となると、“0”または“1”書き込みデータが保持されているデータ回路および、“2”書き込みが十分に行われたデータ回路では、pチャネルMOSトランジスタ Q_{p12C} が“ON”であり、ノード N_1 は V_{CC} となる。信号 SAN_1 、 SAP_1 がそれぞれ“L”、“H”となってフリップ・フロップ FF_1 が非活性化され、信号 ECH_1 が“H”となってイコライズされる。この後、信号 RV_{1A} 、 RV_{1B} が“H”となる。その後時刻 t_{8v} に、信号 SAN_1 、 SAP_1 がそれぞれ“H”、“L”となることで、ノード N_1 の電圧がセンスされラッチされる。

【0122】この後、図19に示されるように、書き込みデータの変換が更に行われる。時刻 t_{9v} に、信号 BLC_A 、 BLC_B が“H”とされ、ビット線の電位が N_1 、 N_2 に転送される。再度、信号 BLC_A 、 BLC_B が“L”となって、ビット線 BL_a とMOSキャパシタ Q_{d1} 、ビット線 BL_b とMOSキャパシタ Q_{d2} は切り離される。この後時刻 t_{10v} に、信号 $VRFYBA_1$ が“H”となると、“0”または“2”書き込みデータが保持されているデータ回路では、nチャネルMOSトランジスタ Q_{n2} が“ON”であり、ノード N_1 は V_{CC} となる。信号 SAN_2 、 SAP_2 がそれぞれ“L”、“H”となってフリップ・フロップ FF_2 が非活性化され、信号 ECH_2 が“H”となってイコライズされる。この後、信号 RV_{2A} 、 RV_{2B} が“H”となる。その後時刻 t_{11v} に、信号 SAN_2 、 SAP_2 がそれぞれ“H”、“L”となることで、ノード N_1 の電圧がセンスされラッチされる。

【0123】上記第2の実施の形態では、時刻 t_{10v} に $VRFYBA_1$ を V_{CC} にすることにより、“0”書き込みおよび“2”書き込みする場合のMOSキャパシタ Q_{d1} のノード N_1 を、ノード N_2 の電位（1.5V）よりも高くなるように充電している。 t_{10v} に RV_{2B} を例えば1.5Vにしても良い。この場合、“0”書き込

みまたは“2”書き込みの場合には、ノードN6が0VなのでnチャネルMOSトランジスタQn33がオンしN2は0Vになる。一方、“1”または“3”書き込みの場合には、ノードN6がVCC、N2が1.5VなのでnチャネルMOSトランジスタQn33はオフし、N2は1.5Vを保持される。時刻t10vにVRFYBA1をVCCにして行う、“0”書き込みおよび“2”書き込みする場合のN1への充電はN2の電位(0V)よりも大きければよいので、N1の充電は例えば0.5V程度の低い電圧でよい。

【0124】以上のようにして、“3”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが十分“3”書き込み状態となったか否かを検出する。メモリセルのデータが“3”であれば、フリップ・フロップFF1、FF2でノードN1の電圧をセンスしラッチすることで書き込みデータは“0”に変更される。メモリセルのデータが“3”でなければ、フリップ・フロップFF1、FF2でノードN1の電圧をセンスしラッチすることで書き込みデータは“3”に保持される。“0”または“1”または“2”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0125】書き込みベリファイ中、信号VRFYBBは“H”、電圧Vsは0Vとする。

【0126】図20は、“2”または“3”書き込みが充分に行われた後、フリップ・フロップFF1、FF2が、ラッチしているデータを示す図である。

【0127】“2”書き込みまたは“3”書き込みする全ての選択されたメモリセルが所望のしきい値に達していれば、データ回路のデータは図20のようになる。つまり“2”書き込みまたは“3”書き込みする選択されたすべてのメモリセルが十分に書き込まれると、すべてのデータ回路6**0、6**1、…、6**m-1、6**mのノードN3が“H”、N4が“L”になる。これを検出すると、“2”書き込みまたは“3”書き込みする全ての選択されたメモリセルが所望のしきい値に達したか否かがわかる。

【0128】図21は、書き込み終一括検知トランジスタを有したデータ回路の回路図である。

【0129】“2”書き込みおよび“3”書き込み終了の検出は、例えば図21に示されるような“2”、“3”書き込み終一括検知トランジスタQn5を用いればよい。VRTは、ベリファイリード第1サイクル後、例えばVCCにプリチャージされる。“2”または“3”書き込みが不十分なメモリセルが1つでもあると、そのデータ回路のノードN4は“H”なのでnチャネルMOSトランジスタQn5はオンし、VRTは接地される。すべての“2”または“3”書き込みするメモリセルが十分に書き込まれると、データ回路6**0、6**1、…、6**m-1、6**mのノードN4が“L”にな

る。その結果、全てのデータ回路内のnチャネルMOSトランジスタQn5がオフし、VRTはプリチャージ電位を保つ。

【0130】(3)プログラム第2サイクル

“2”および“3”書き込みがすべて終了した後は、“1”書き込み(プログラム第2サイクル)が行われる。“1”書き込み時のフリップフロップのノード電位は図20である。つまり“1”書き込みの場合には、ノードN5が“L”になりビット線に書き込み電位が印加され、“1”書き込み以外ではノードN5が“H”になり、ビット線に書き込み非選択電位が印加される。

【0131】図22は、書き込み動作(プログラム第2サイクル)を示す動作波形図である。

【0132】時刻t1pに、電圧VRFYBA1が“H”になり、“0”または“2”または“3”書き込みするビット線BLaが書き込み非選択電圧VCCに充電される。nチャネルMOSトランジスタQn39のしきい値分の電圧降下が問題になるときは、信号BLCAを昇圧すればよい。続いて、信号RV2AがVCCとされる。これによって、データ“0”または“2”または“3”が保持されているデータ回路からは書き込み非選択電圧VCCがビット線BLaに印加される。データ“1”が保持されているデータ回路からはビット線BLaに書き込みビット線電位0Vが印加される。

【0133】制御ゲート・選択ゲート駆動回路によって、選択されたブロックの選択ゲートSG1A、制御ゲートCG1A～CG4AがVCCとなる。選択ゲートSG2Aは0Vである。次に、時刻t2pに選択された制御ゲートCG2Aが高電圧VPP(例えば20V)、非選択制御ゲートCG1A、CG3A、CG4AがVM(例えば10V)となる。データ“1”が保持されているデータ回路に対応するメモリセルでは、0Vのチャネル電位と制御ゲートのVPPの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。データ“0”または“2”または“3”が保持されているデータ回路に対応するメモリセルでは、チャネル電位と制御ゲートのVPPの電位差が小さいため、実効的には浮遊ゲートに電子は注入されない。よって、メモリセルのしきい値は変動しない。書き込み動作中、信号SAN1、SAN2、VRFYBB、PREB、BLCBは“H”、信号SAP1、SAP2、RV1A、RV1B、ECH1、ECH2は“L”、電圧VBは0Vである。

【0134】(4)ベリファイ読み出し第2サイクル
書き込み第2サイクル終了後、“1”書き込みするメモリセルのしきい値を検出する(書き込みベリファイ第2サイクル)。もし、所望のしきい値に達していれば、データ回路のデータを“0”に変更する。もし、所望のしきい値に達していなければ、データ回路のデータを保持して再度書き込み動作を行う。書き込み動作と書き込みベリファイは全ての“1”書き込みするメモリセルが所

望のしきい値に達するまで繰り返される。

【0135】図24は、ベリファイ読み出し動作（ベリファイ読み出し第2サイクル）を示す動作波形図である。

【0136】まず時刻 t_{1y} に、電圧 V_A 、 V_B がそれぞれ1.8V、1.5Vとなって、ビット線 BL_a 、 BL_b はそれぞれ1.8V、1.5Vになる。信号 BLC_A 、 BLC_B が“L”となって、ビット線 BL_a とMOSキャパシタ Q_{d1} 、ビット線 BL_b とMOSキャパシタ Q_{d2} は切り離され、ビット線 BL_a 、 BL_b はフローティングとなる。信号 PRE_A 、 PRE_B が“L”となって、MOSキャパシタ Q_{d1} 、 Q_{d2} のゲート電極であるノード N_1 、 N_2 はフローティング状態になる。続いて時刻 t_{2y} に、制御ゲート・選択ゲート駆動回路によって選択されたブロックの選択された制御ゲート CG_2A は0.5V、非選択制御ゲート CG_1A 、 CG_3A 、 CG_4A と選択ゲート SG_1A 、 SG_2A は V_{CC} にされる。選択されたメモリセルのしきい値が0.5V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が0.5V以上なら、ビット線電圧は1.8Vのままとなる。時刻 t_{3y} に、信号 BLC_A 、 BLC_B が“H”とされ、ビット線の電位が N_1 、 N_2 に転送される。その後、信号 BLC_A 、 BLC_B が“L”となって、ビット線 BL_a とMOSキャパシタ Q_{d1} 、ビット線 BL_b とMOSキャパシタ Q_{d2} は切り離される。この後時刻 t_{4y} に信号 $VRFYBA_1$ が“H”となると、“0”または“2”または“3”書き込みデータが保持されているデータ回路では、 n チャネルMOSTランジスタ Q_{n2} が“ON”であり、ノード N_1 は V_{CC} となる。

【0137】信号 SAN_2 、 SAP_2 がそれぞれ“L”、“H”となってフリップ・フロップ FF_2 が非活性化され、信号 ECH_2 が“H”となってイコライズされる。この後、信号 RV_2A 、 RV_2B が“H”となる。再度、信号 SAN_2 、 SAP_2 がそれぞれ“H”、“L”となることで、時刻 t_{5y} にノード N_1 の電圧がセンスされラッチされる。これで、“1”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが十分“1”書き込み状態となったか否かを検出する。メモリセルのデータが“1”であれば、フリップ・フロップ FF_2 でノード N_1 の電圧をセンスしラッチすることで書き込みデータは“0”に変更される。メモリセルのデータが“1”でなければ、フリップ・フロップ FF_1 でノード N_2 の電圧をセンスしラッチすることで書き込みデータは“1”に保持される。“0”または“2”または“3”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0138】図24は、“3”書き込みが充分に行われた後、フリップ・フロップ FF_1 、 FF_2 が、ラッチしているデータを示す図である。

【0139】“1”書き込みする全ての選択されたメモリセルが所望のしきい値に達していれば、データ回路のデータは図24のようになる。つまり“1”書き込みするすべてのメモリセルが十分に書き込まれると、すべてのデータ回路 $6^{**}0$ 、 $6^{**}1$ 、…、 $6^{**}m-1$ 、 $6^{**}m$ のノード N_5 が“H”、 N_6 が“L”になる。これを検出すると、全ての選択されたメモリセルが所望のしきい値に達したか否かがわかる。

【0140】プログラムサイクル2の書き込み終了の検出は、例えば図21に示されるような書き込み終了一括検知トランジスタ Q_{n6} を用いればよい。 V_{RED} は、ベリファイリード第2サイクル後、例えば V_{CC} にプリチャージされる。“1”書き込みが不十分なメモリセルが1つでもあると、そのデータ回路のノード N_6 は“H”なので n チャネルMOS トランジスタ Q_{n6} はオンし、 V_{RED} は接地される。すべてのメモリセルが十分に書き込まれると、データ回路 $6^{**}0$ 、 $6^{**}1$ 、…、 $6^{**}m-1$ 、 $6^{**}m$ のノード N_6 が“L”になる。その結果、全てのデータ回路内の n チャネルMOS トランジスタ Q_{n6} がオフし、 V_{RED} はプリチャージ電位を保つ。

【0141】以上、第2の実施の形態に係るEEPROMを説明したが、ベリファイ読み出し、書き込み、通常の読み出し等は、他の動作が可能である。

【0142】図25は、他のベリファイ読み出し動作（ベリファイ読み出し第1サイクル）を示す動作波形図である。

【0143】例えばベリファイ読み出し第1サイクルは、図25の動作波形図のように動作させても良い。

【0144】図25に示すベリファイ読み出し第1サイクルでは、時刻 t_{7v} までの動作は、図19に示すベリファイ読み出し第1サイクルと同様であり、時刻 t_{7v} 以降の動作が異なっている。

【0145】時刻 t_{7v} に信号 BLC_A 、 BLC_B が“H”とされ、ビット線の電位が N_1 、 N_2 に転送される。メモリセルのしきい値が2.5V以上である場合にはビット線 BL_a は1.5V以上、2.5V以下である場合にはビット線 BL_b は1.5V以下である。その後、信号 BLC_A 、 BLC_B が“L”となって、ビット線 BL_a とMOSキャパシタ Q_{d1} 、ビット線 BL_b とMOSキャパシタ Q_{d2} は切り離される。この後、時刻 t_{8z} に信号 $VRFYBA_1$ が“H”となると、“0”または“2”書き込みデータが保持されているデータ回路では、 n チャネルMOSTランジスタ Q_{n2} が“ON”であり、ノード N_1 は1.5V以上となる。信号 SAN_2 、 SAP_2 がそれぞれ“L”、“H”となってフリップ・フロップ FF_2 が非活性化され、信号 ECH_2 が“H”となってイコライズされる。この後、信号 RV_2A 、 RV_2B が“H”となる。その後時刻 t_{9z} に、信号 SAN_2 、 SAP_2 がそれぞれ“H”、“L”となることで、ノード N_1 の電圧がセンスされラッチされる。

【0146】この後、図25に示されるように、書き込みデータの変換が更に行われる。時刻 t_{10z} に、信号BLCA、BLCBが“H”とされ、ビット線の電位がN1、N2に転送される。再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。この後時刻 t_{11z} に、信号VRFYBAが“L”となると、“0”または“1”書き込みデータが保持されているデータ回路、および“2”書き込みが十分におこなわれたデータ回路では、pチャネルMOSTランジスタQp13が“ON”であり、ノードN1はVCCとなる。信号SAN1、SAP1がそれぞれ“L”、“H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A、RV1Bが“H”となる。その後、時刻 t_{12z} に、信号SAN1、SAP1がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。

【0147】以上のように、“3”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが十分“3”書き込み状態となったか否かを検出できる。メモリセルのデータが“3”であれば、フリップ・フロップFF1、FF2でノードN1の電圧をセンスしラッチすることで書き込みデータは“0”に変更される。メモリセルのデータが“3”でなければ、フリップ・フロップFF1、FF2でノードN1の電圧をセンスしラッチすることで書き込みデータは“3”に保持される。“0”または“1”または“2”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。“2”書き込みまたは“3”書き込みする全ての選択されたメモリセルが所望のしきい値に達していれば、データ回路のデータは図20のようになる。つまり、“2”書き込みまたは“3”書き込みする選択されたすべてのメモリセルが十分に書き込まれると、すべてのデータ回路6**-0、6**-1、…、6**-m-1、6**-mのノードN3が“H”、N4が“L”になる。これを検出することにより、“2”書き込みまたは“3”書き込みする全ての選択されたメモリセルが所望のしきい値に達したか否かがわかる。

【0148】また、データ回路の回路構成も、図12、図21に示す回路構成に限られるものではなく、他の回路構成であっても良い。

【0149】図26および図27はそれぞれ、データ回路の他の回路図である。

【0150】図26に示すデータ回路の、VRFYBA1、VRFYBB1の動作タイミングは、図12、図21のデータ回路と同様の動作タイミングを用いた場合（動作波形図；図13、図18、図19、図22、図23、図25）、VCCを0V、0VをVCCにすればよい。なお、VRFYBA、VRFYBBの動作タイミン

グは、図12、図21のデータ回路を用いた場合と同様である。

【0151】また、図27に示すデータ回路の、VRFYBA、VRFYBBの動作タイミングは、図12、図21のデータ回路と同様の動作タイミングを用いた場合（動作波形図；図13、図18、図19、図22、図23、図25）、VCCを0V、0VをVCCにすればよい。なお、VRFYBA1、VRFYBB1の動作タイミングは、図12、図21のデータ回路を用いた場合と同様である。

【0152】上記第2の実施の形態では、まず“2”、“3”データを同時に書いてから、次に“1”データの書き込みを行ったが、書き込む順番は大いに任意性を有する。例えば“1”、“2”を書き込んでから、次に“3”を書き込んでも良いし、“1”、“3”を書き込んでから“2”を書き込んでも良い。

【0153】＜実施の形態3＞次に、この発明の第3の実施の形態に係る多値記憶NAND型EEPROMを説明する。

【0154】上記第2の実施の形態では、まず、“2”状態および“3”状態をほぼ同時に書き込んでから、“1”状態を書き込むものを例示したが、この第3の実施の形態では、“1”状態、“2”状態、および“3”状態をほぼ同時に書き込むものである。

【0155】なお、第3の実施の形態に係るEEPROMは、第2の実施の形態に係るEEPROMと同様に、図1、図2に示した構成と同様な構成を持つ。

【0156】図28は、この発明の第3の実施の形態に係るEEPROMが有するデータ回路の回路図である。図28に示すデータ回路は、4値記憶を例に構成されている。

【0157】図28に示すように、メモリセルM1～M4が直列に接続され、NAND型セルを構成している。その両端は、選択トランジスタS1、S2を介して、それぞれビット線BL、ソース線Vsに接続される。制御ゲートCGを共有するメモリセルM群は、“ページ”と呼ばれる単位を形成し、同時にデータ書き込み・読み出しされる。また、4本の制御ゲートCG1～CG4に繋がるメモリセル群でブロックを形成する。“ページ”、“ブロック”は制御ゲート・選択ゲート駆動回路によって選択される。各ビット線BL0～BLmには、データ回路6**-0、6**-1、…、6**-m-1、6**-mが接続され、対応するメモリセルへの書き込みデータを一時的に記憶したりする。

【0158】メモリセルの書き込み状態としきい値との関係は、第1の実施の形態と同様であり、例えば図11に示すとおりである。

【0159】図28に示すように、nチャネルMOSTランジスタQn21、Qn22、Qn23とpチャネルMOSTランジスタQp9、Qp10、Qp11により

構成されるフリップ・フロップFF1と、nチャネルMOSトランジスタQn29、Qn30、Qn31とpチャネルMOSトランジスタQp16、Qp17、Qp18により構成されるFF2とは、書き込み/読み出しデータがラッチされる。また、これらはセンスアンプとしても動作する。

【0160】フリップ・フロップFF1、FF2は、「0」書き込みをするか、「1」書き込みをするか、「2」書き込みをするか、「3」書き込みをするか」を書き込みデータ情報としてラッチし、メモリセルが「0」の情報を保持しているか、「1」の情報を保持しているか、「2」の情報を保持しているか、「3」の情報を保持しているか」を読み出しデータ情報としてセンスしラッチする。

【0161】データ入出力線IOA、IOBとフリップ・フロップFF1は、nチャネルMOSトランジスタQn28、Qn27を介して接続される。データ入出力線IOC、IODとフリップ・フロップFF2は、nチャネルMOSトランジスタQn35、Qn36を介して接続される。データ入出力線IOA、IOB、IOC、IODは、図1中のデータ入出力バッファ4にも接続される。

【0162】nチャネルMOSトランジスタQn27、Qn28、Qn35、Qn36のゲートは、NAND論理回路G2とインバータI4で構成されるカラムアドレスデコーダの出力に接続される。nチャネルMOSトランジスタQn26、Qn34は、それぞれフリップ・フロップFF1、FF2を信号ECH1、ECH2が“H”となってイコライズする。nチャネルMOSトランジスタQn24、Qn32は、フリップ・フロップFF1、FF2とMOSキャパシタQd1の接続を制御する。nチャネルMOSトランジスタQn25、Qn33は、フリップ・フロップFF1、FF2とMOSキャパシタQd2の接続を制御する。

【0163】pチャネルMOSトランジスタQp12C、Qp13Cで構成される回路は、活性化信号VRFYBACによって、フリップ・フロップFF1のデータに応じて、MOSキャパシタQd1のゲート電圧を変更する。pチャネルMOSトランジスタQp14C、Qp15Cで構成される回路は、活性化信号VRFYBBCによって、フリップ・フロップFF1のデータに応じて、MOSキャパシタQd2のゲート電圧を変更する。pチャネルMOSトランジスタQp12C、Qp19C、Qp20Cで構成される回路は、活性化信号VRFYBA2Cによって、フリップ・フロップFF1およびFF2のデータに応じて、MOSキャパシタQd1のゲート電圧を変更する。pチャネルMOSトランジスタQp14C、Qp21C、Qp22Cで構成される回路は、活性化信号VRFYBB2Cによって、フリップ・フロップFF1およびFF2のデータに応じて、MOS

キャパシタQd2のゲート電圧を変更する。nチャネルMOSトランジスタQn1C、Qn2Cで構成される回路は、活性化信号VRFYBA1Cによって、フリップ・フロップFF2のデータに応じて、MOSキャパシタQd1のゲート電圧を変更する。nチャネルMOSトランジスタQn3C、Qn4Cで構成される回路は、活性化信号VRFYBB1Cによって、フリップ・フロップFF2のデータに応じて、MOSキャパシタQd2のゲート電圧を変更する。

【0164】MOSキャパシタQd1、Qd2は、ディプリション型nチャネルMOSトランジスタで構成され、ビット線容量より十分小さくされる。nチャネルMOSトランジスタQn37は、信号PREAによってMOSキャパシタQd1を電圧VAに充電する。nチャネルMOSトランジスタQn38は、信号PREBによってMOSキャパシタQd2を電圧VBに充電する。nチャネルMOSトランジスタQn39、Qn40は、信号BLCA、BLCBによって、データ回路3とビット線BLa、BLbの接続をそれぞれ制御する。nチャネルMOSトランジスタQn37、Qn38で構成される回路はビット線電圧制御回路を兼ねる。

【0165】次に、このように構成されたEEPROMの動作を、動作波形図に従って説明する。以下では制御ゲートCG2Aが選択されている場合を示す。

【0166】＜読み出し動作＞図29は、読み出し動作を示す動作波形図である。

【0167】図29に示すように、まず、電圧VA、VBがそれぞれ1.8V、1.5Vとなって、ビット線BLa、BLbはそれぞれ1.8V、1.5Vになる。時刻t1RCに信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離され、ビット線BLa、BLbはフローティングとなる。信号PREA、PREBが“L”となって、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2はフローティング状態になる。続いて、時刻t2RCに制御ゲート・選択ゲート駆動回路によって選択されたブロックの選択された制御ゲートCG2Aは0V、非選択制御ゲートCG1A、CG3A、CG4Aと選択ゲートSG1A、SG2AはVCCにされる。選択されたメモリセルのしきい値が0V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が0V以上なら、ビット線電圧は1.8Vのままとなる。この後、時刻t3RCに信号BLCA、BLCBが“H”となりビット線のデータがMOSキャパシタQd1、Qd2に転送される。その後、再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。信号SAN1、SAP1がそれぞれ“L”、“H”となってフリップ・フロップFF1が非活性化さ

れ、信号ECH1が“H”となってイコライズされる。この後、信号RV1A、RV1Bが“H”となる。時刻t4RCに再度、信号SAN1、SAP1がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“0”か、或いは“1”または“2”または“3”か」がフリップ・フロップFF1によってセンスされ、その情報はラッチされる。

【0168】次に、選択された制御ゲートが1Vにされる。選択されたメモリセルのしきい値が1V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が1V以上なら、ビット線電圧は1.8Vのままとなる。時刻t5RCに信号PREA、PREBが“H”となって、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2はそれぞれ1.8V、1.5Vになる。信号PREA、PREBが“L”となって、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2はフローティング状態になる。この後、時刻t6RCに信号BLCA、BLCBが“H”とされる。再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。信号SAN2、SAP2がそれぞれ“L”、“H”となってフリップ・フロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、信号RV2A、RV2Bが“H”となる。時刻t7RCに再度、信号SAN2、SAP2がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“0”または“1”か、或いは“2”または“3”か」がフリップ・フロップFF2によってセンスされ、その情報はラッチされる。

【0169】図30は、時刻t7RCのときにフリップ・フロップFF1、FF2がセンスし、ラッチしている読み出しデータを示す図である。この時のフリップフロップFF1、FF2のノードN3C、N5Cの電位は図30のようになる。

【0170】最後にメモリセルに書き込まれたデータが「“2”または“3”か」がセンスされる。選択された制御ゲートが2Vにされる。選択されたメモリセルのしきい値が2V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が2V以上なら、ビット線電圧は1.8Vのままとなる。時刻t8RCに信号PREA、PREBが“H”となって、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2はそれぞれ1.8V、1.5Vになる。信号PREA、PREBが“L”となって、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2はフローティング状態になる。この後、時刻t10RCに信号BLCA、BLCBが“H”とされる。その後、再度、

信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。MOSキャパシタのデータをセンスするに先立ち、時刻t11RCにVRFYBA2Cが0Vになる。図22からわかるように、ノードN5Cが“Low level”およびノードN3Cが“High level”（つまりノードN4Cが“Low level”）になるのは“1”データの場合のみである。従って“1”データの場合のみpチャネルMOSトランジスタQp12C、Qp19C、Qp20Cがオンし、ノードN1がVCCになる。その後、信号SAN1、SAP1がそれぞれ“L”、“H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A、RV1Bが“H”となる。時刻t12RCに再度、信号SAN1、SAP1がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“2”か“3”か」がフリップ・フロップFF1によってセンスされ、その情報はラッチされる。

【0171】図31は、フリップ・フロップFF1、FF2がセンスし、ラッチする読み出しデータを示す図である。

【0172】以上の読み出し動作の結果、4値のデータが、図31のようにフリップフロップFF1、FF2にラッチされる。図中の各データのしきい値分布は次の通りである。

【0173】

データ“0”・・・しきい値：0V以下
データ“1”・・・しきい値0.5V以上0.8V以下
データ“2”・・・しきい値1.5V以上1.8V以下
データ“3”・・・しきい値2.5V以上2.8V以下

読み出し中、信号VRFYBAC、VRFYBBCは“H”、信号VRFYBA1C、VRFYBB1Cは“L”である。また、電圧Vsは0Vとする。

【0174】カラムアドレスデコーダに入力されるカラム活性化信号CENBが“H”となると、アドレス信号によって選択されたデータ回路に保持されているデータがデータ入出力線IOA、IOB、IOC、IODに出力され、データ入出力バッファ4を介してEEPROM外部へ出力される。

【0175】メモリセルに記憶されているデータ、しきい値、データ入出力線IOA、IOB、IOC、IODに読み出し後に出力されるレベルの関係は図31の通りである。

【0176】チップ外部への出力データは、データ入出力バッファ5でデータ入力線IOA、IOB、IOC、IODに出力された信号をもとに変換したものもよい。

【0177】＜書き込み動作＞まず、書き込みデータがフリップフロップFF1、FF2にロードされる。その後、“1”データ、“2”データおよび“3”データが

ほぼ同時に書き込まれる。そして“1”データ、“2”データ、“3”データが十分書き込まれたかを調べるベリファイリードが行われ、書き込み不十分のメモリセルがある場合には、再書き込みが行われる。すべてのメモリセルが十分に書き込まれることを、書き込み終了検知回路が検知することにより書き込みが終了する。

【0178】以下では、まず、プログラムについて説明し、次にベリファイリードについて説明する。

【0179】(1) プログラム

書き込み動作前に、入力された2ビット分のデータは、データ入出力バッファ5で変換されて、データ回路6**に入力される。

【0180】図32は、データ回路6**に入力され、フリップ・フロップFF1、FF2がラッチする書き込みデータを示す図である。4値データとデータ入出力線IOA、IOB、IOC、IODの関係は図32のとうりである。

【0181】変換された4値データは、カラム活性化信号CENBが“H”で、アドレス信号で指定されたカラム番地のデータ回路に転送される。

【0182】図33は、書き込み動作を示す動作波形図である。

【0183】まず、時刻t1sに、電圧VAがビット線書き込み制御電圧1Vとなってビット線BLaが1Vとされる。nチャンネルMOSTランジスタQn39のしきい値分の電圧降下が問題になるときは、信号BLCAを昇圧すればよい。続いて、信号PREが“L”となってビット線がフローティングにされる。次に、時刻t2sに信号RV2Aが1.5Vとされる。これによって、データ“1”または“3”が保持されているからはビット線制御電圧0Vがビット線に印加される。nチャンネルMOSTランジスタQn32のしきい値を1Vとすると、“0”または“2”書き込み時にはnチャンネルMOSTランジスタQn32は“OFF”、“1”または“3”書き込み時には“ON”となる。その後、時刻t3sにVRFYBACが0Vになり、データ“0”またはデータ“1”が保持されているデータ回路からはビット線書き込み制御電圧VCCがビット線に出力される。

【0184】そして、時刻t4sにVRFYBA2Cが0Vになり、データ“1”が保持されているデータ回路からはV1を介してビット線“1”書き込み電位2Vがビット線に出力される。

【0185】その結果、“0”書き込みするビット線はVCC、“1”書き込みするビット線は2V、“2”書き込みするビット線は1V、“3”書き込みするビット線は0Vになる。

【0186】時刻t1sに制御ゲート・選択ゲート駆動回路によって、選択されたブロックの選択ゲートSG1A、制御ゲートCG1A~CG4AがVCCとなる。選択ゲートSG2Aは0Vである。次に、選択された制御

ゲートCG2Aが高電圧VPP（例えば20V）、非選択制御ゲートCG1A、CG3A、CG4AがVM（例えば10V）となる。データ“3”が保持されているデータ回路に対応するメモリセルでは、0Vのチャンネル電位と制御ゲートのVPPの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。データ“2”が保持されているデータ回路に対応するメモリセルでは、1Vのチャンネル電位と制御ゲートのVPPの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。データ“1”が保持されているデータ回路に対応するメモリセルでは、2Vのチャンネル電位と制御ゲートのVPPの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。“2”書き込みの場合のチャンネル電位を1V、“1”書き込みの場合のチャンネル電位を2Vにしているのは、電子の注入量を“3”データ書き込みの場合、“2”書き込みの場合、“1”書き込みの場合の順番で少なくするためある。データ“0”が保持されているデータ回路に対応するメモリセルでは、チャンネル電位と制御ゲートのVPPの電位差が小さいため、実効的には浮遊ゲートに電子は注入されない。よって、メモリセルのしきい値は変動しない。書き込み動作中、信号SAN1、SAN2、PREB、BLCBは“H”、信号SAP1、SAP2、VRFYBA1C、RV1A、RV1B、RV2B、ECH1、ECH2は“L”、電圧VBは0Vである。

【0187】(2) ベリファイ読み出し

書き込み動作後、書き込みが充分に行われたかを検出する（書き込みベリファイ）。もし、所望のしきい値に達していれば、データ回路のデータを“0”に変更する。もし、所望のしきい値に達していなければ、データ回路のデータを保持して再度書き込み動作を行う。書き込み動作と書き込みベリファイは全ての“1”書き込みするメモリセル、“2”書き込みするメモリセルおよび“3”書き込みするメモリセルが所望のしきい値に達するまで繰り返される。

【0188】図34および図35はそれぞれ、ベリファイ読み出し動作を示す動作波形図である。

【0189】以下、図34および図35を参照し、書き込みベリファイ動作を説明する。

【0190】はじめに、“1”書き込みするメモリセルが所定のしきい値に達しているかを検出する。

【0191】まず、図34に示すように、時刻t1ycに、電圧VA、VBがそれぞれ1.8V、1.5Vとなって、ビット線BLa、BLbはそれぞれ1.8V、1.5Vになる。信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離され、ビット線BLa、BLbはフローティングとなる。信号PREA、PREBが“L”となって、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2は

フローティング状態になる。続いて時刻 t_{2yc} に、制御ゲート・選択ゲート駆動回路によって選択されたブロックの選択された制御ゲート $CG2A$ は $0.5V$ 、非選択制御ゲート $CG1A$ 、 $CG3A$ 、 $CG4A$ と選択ゲート $SG1A$ 、 $SG2A$ は VCC にされる。選択されたメモリセルのしきい値が $0.5V$ 以下なら、ビット線電圧は $1.5V$ より低くなる。選択されたメモリセルのしきい値が $0.5V$ 以上なら、ビット線電圧は $1.8V$ のままとなる。時刻 t_{3yc} に、信号 $BLC A$ 、 $BLC B$ が“H”とされ、ビット線の電位が $N1$ 、 $N2$ に転送される。その後、信号 $BLC A$ 、 $BLC B$ が“L”となつて、ビット線 $BL a$ とMOSキャパシタ $Qd1$ 、ビット線 $BL b$ とMOSキャパシタ $Qd2$ は切り離される。この後時刻 t_{4yc} に $RV1A$ が $1.5V$ になり、“2”書き込みの場合および“3”書き込みの場合には、ノード $N1$ が $0V$ に放電される。時刻 t_{5yc} に信号 $VRFYBAC$ が“H”となると、“0”または“2”書き込みデータが保持されているデータ回路では、 n チャネルMOSトランジスタ $Qn2$ が“ON”であり、ノード $N1$ は VCC となる。その結果、ノード $N1$ は“0”書き込みまたは“2”書き込みの場合には VCC ，“3”書き込みの場合には $0V$ になる。

【0192】信号 $SAN2$ 、 $SAP2$ がそれぞれ“L”、“H”となってフリップ・フロップ $FF2$ が非活性化され、信号 $ECH2$ が“H”となってイコライズされる。この後、信号 $RV2A$ 、 $RV2B$ が“H”となる。再度、信号 $SAN2$ 、 $SAP2$ がそれぞれ“H”、“L”となることで、時刻 t_{6yc} にノード $N1$ の電圧がセンスされラッチされる。これで、“1”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが十分“1”書き込み状態となったか否かを検出する。メモリセルのデータが“1”であれば、フリップ・フロップ $FF2$ でノード $N1$ の電圧をセンスしラッチすることで書き込みデータは“0”に変更される。メモリセルのデータが“1”でなければ、フリップ・フロップ $FF1$ でノード $N2$ の電圧をセンスしラッチすることで書き込みデータは“1”に保持される。“0”または“2”または“3”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0193】次に、選択された制御ゲートが $1.5V$ にされる。選択されたメモリセルのしきい値が $1.5V$ 以下なら、ビット線電圧は $1.5V$ より低くなる。選択されたメモリセルのしきい値が $1.5V$ 以上なら、ビット線電圧は $1.8V$ のままとなる。時刻 t_{7yc} に $PREA$ 、 $PREB$ が VCC になりノード $N1$ 、 $N2$ が $1.8V$ 、 $1.5V$ になった後、フローティングになる。この後時刻 t_{8yc} に、信号 $BLC A$ 、 $BLC B$ が“H”とされ、ビット線の電位が $N1$ 、 $N2$ に転送される。その後、信号 $BLC A$ 、 $BLC B$ が“L”となつて、ビット線 $BL a$ とMOSキャパシタ $Qd1$ 、ビット線 $BL b$ と

MOSキャパシタ $Qd2$ は切り離される。この後、時刻 t_{9yc} に、信号 $RV2A$ が例えば VCC 以下の $1.5V$ とされる。 n チャネルMOSトランジスタ $Qn32$ のしきい値が $1V$ の場合、“3”書き込みデータが保持されているデータ回路では n チャネルMOSトランジスタ $Qn32$ は“ON”で、ノード $N1$ は $0V$ となる。“2”書き込みデータが保持されているデータ回路で、メモリセルが十分に“2”書き込みされている場合には n チャネルMOSトランジスタ $Qn32$ は“OFF”で、ノード $N1$ は $1.5V$ 以上に保たれる。“2”書き込み不十分の場合には、ノード $N1$ は $1.5V$ 以下である。時刻 t_{10yc} に信号 $VRFYBAC$ が“L”となると、“0”または“1”書き込みデータが保持されているデータ回路では、 p チャネルMOSトランジスタ $Qp13$ が“ON”であり、ノード $N1$ は VCC となる。

【0194】信号 $SAN1$ 、 $SAP1$ がそれぞれ“L”、“H”となってフリップ・フロップ $FF1$ が非活性化され、信号 $ECH1$ が“H”となってイコライズされる。この後、信号 $RV1A$ 、 $RV1B$ が“H”となる。再度、信号 $SAN1$ 、 $SAP1$ がそれぞれ“H”、“L”となることで、時刻 t_{11yc} にノード $N1$ の電圧がセンスされラッチされる。これで、“2”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが十分“2”書き込み状態となったか否かを検出する。メモリセルのデータが“2”であれば、フリップ・フロップ $FF1$ でノード $N1$ の電圧をセンスしラッチすることで書き込みデータは“0”に変更される。メモリセルのデータが“2”でなければ、フリップ・フロップ $FF1$ でノード $N1$ の電圧をセンスしラッチすることで書き込みデータは“2”に保持される。“0”または“1”または“3”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0195】次に、選択された制御ゲートが $2.5V$ にされる。選択されたメモリセルのしきい値が $2.5V$ 以下なら、ビット線電圧は $1.5V$ より低くなる。選択されたメモリセルのしきい値が $2.5V$ 以上なら、ビット線電圧は $1.8V$ のままとなる。この後、時刻 t_{12yc} に、信号 $BLC A$ 、 $BLC B$ が“H”とされ、ビット線の電位が $N1$ 、 $N2$ に転送される。再度、信号 $BLC A$ 、 $BLC B$ が“L”となつて、ビット線 $BL a$ とMOSキャパシタ $Qd1$ 、ビット線 $BL b$ とMOSキャパシタ $Qd2$ は切り離される。この後時刻 t_{13yc} に、信号 $VRFYBAC$ が“L”となると、“0”または“1”書き込みデータが保持されているデータ回路および、“2”書き込みが十分に行われたデータ回路では、 p チャネルMOSトランジスタ $Qp13c$ が“ON”であり、ノード $N1$ は VCC となる。信号 $SAN1$ 、 $SAP1$ がそれぞれ“L”、“H”となってフリップ・フロップ $FF1$ が非活性化され、信号 $ECH1$ が“H”となってイコライズされる。この後、信号 $RV1A$ 、 $RV1B$ が

“H”となる。その後時刻 t_{14yc} に、信号SAN1、SAP1がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。

【0196】この後、図35に示すように、書き込みデータの変換が更に行われる。時刻 t_{15yc} に、信号BLCA、BLCBが“H”とされ、ビット線の電位がN1、N2に転送される。再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。この後時刻 t_{16yc} に、信号VRFYBA1Cが“H”となると、“0”または“2”書き込みデータが保持されているデータ回路および“1”書き込み十分のデータ回路では、nチャネルMOSトランジスタQn2Cが“ON”であり、ノードN1はVCCとなる。信号SAN2、SAP2がそれぞれ“L”、“H”となってフリップ・フロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、信号RV2A、RV2Bが“H”となる。その後時刻 t_{17yc} に、信号SAN2、SAP2がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。

【0197】上記実施の形態では時刻 t_{16yc} にVRFYBA1CをVCCにすることにより、“0”書き込みおよび“2”書き込みする場合のMOSキャパシタQd1のノードN1を、ノードN2の電位(1.5V)よりも高くなるように充電している。 t_{16yc} にRV2Bを例えば1.5Vにしても良い。この場合、“0”書き込みまたは“2”書き込みの場合には、ノードN6Cが0VなのでnチャネルMOSトランジスタQn33がオンしN2は0Vになる。一方、“1”または“3”書き込みの場合には、ノードN6CがVCC、N2が1.5VなのでnチャネルMOSトランジスタQn33はオフし、N2は1.5Vを保たれる。時刻 t_{16yc} にVRFYBA1CをVCCにして行う、“0”書き込みおよび“2”書き込みする場合のN1への充電はN2の電位(0V)よりも大きければよいので、N1の充電は例えば0.5V程度の低い電圧でよい。

【0198】以上のようにして、“3”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが十分“3”書き込み状態となったか否かを検出する。メモリセルのデータが“3”であれば、フリップ・フロップFF1、FF2でノードN1の電圧をセンスしラッチすることで書き込みデータは“0”に変更される。メモリセルのデータが“3”でなければ、フリップ・フロップFF1、FF2でノードN1の電圧をセンスしラッチすることで書き込みデータは“3”に保持される。“0”または“1”または“2”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0199】書き込みベリファイ中、信号VRFYBB

Cは“H”、信号VRFYBB1Cは“L”、電圧Vsは0Vとする。

【0200】全ての選択されたメモリセルが所望のしきい値に達していれば、データ回路のデータは“0”データになる。つまり書き込みが終了すると、ノードN4C、N6Cが“L”になる。これを検出することにより、全ての選択されたメモリセルが所望のしきい値に達したか否かがわかる。

【0201】図28は、書き込み終了一括検知トランジスタを有したデータ回路の回路図である。

【0202】書き込み終了の検出は例えば、図28に示すように書き込み終了一括検知トランジスタQn5C、およびQn6Cを用いればよい。ベリファイ読み出し後、まず、VRTCを、例えばVCCにプリチャージする。書き込みが不十分なメモリセルが1つでもあると、そのデータ回路のノードN4CまたはN6Cの少なくとも一方は“H”なのでnチャネルMOSトランジスタQn5CとQn6Cの少なくとも1つはオンし、VRTCはプリチャージ電位から低下する。すべてのメモリセルが十分に書き込まれると、データ回路6**-0、6**-1、…、6**-m-1のノードN4C、N6Cが“L”になる。その結果、全てのデータ回路内のnチャネルMOSトランジスタQn5CおよびQn6CがオフになるのでVRTCはプリチャージ電位を保つ。

【0203】以上、第3の実施の形態に係るEEPROMを説明したが、ベリファイ読み出し、書き込み、通常の読み出し等は、他の動作が可能である。

【0204】図36は、他のベリファイ読み出し動作を示す動作波形図である。

【0205】例えばベリファイ読み出しは、図36の動作波形図のように動作させても良い。

【0206】図36に示すベリファイ読み出しでは、時刻 t_{12yc} までの動作は、図35に示すベリファイ読み出しと同様であり、時刻 t_{12yc} 以降の動作が異なっている。

【0207】時刻 t_{12yc} に信号BLCA、BLCBが“H”とされ、ビット線の電位がN1、N2に転送される。メモリセルのしきい値が2.5V以上である場合にはビット線BLaは1.5V以上、2.5V以下である場合にはビット線BLbは1.5V以下である。その後、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。この後、時刻 t_{13zc} に信号VRFYBA1Cが“H”となると、“0”または“2”書き込みデータが保持されているデータ回路及び“1”書き込み十分のデータ回路では、nチャネルMOSトランジスタQn2が“ON”であり、ノードN1は1.5V以上となる。信号SAN2、SAP2がそれぞれ“L”、“H”となってフリップ・フロップFF2が非活性化され、信号ECH2が“H”となっ

てイコライズされる。この後、信号RV2A、RV2Bが“H”となる。その後時刻t14zcに、信号SAN2、SAP2がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。

【0208】この後、図36に示されるように、書き込みデータの変換が更に行われる。時刻t15zcに、信号BLCA、BLCBが“H”とされ、ビット線の電位がN1、N2に転送される。再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。この後時刻t16zcに、信号VRFYBACが“L”となると、“0”または“1”書き込みデータが保持されているデータ回路、および“2”書き込みが十分におこなわれたデータ回路では、pチャネルMOSトランジスタQp13が“ON”であり、ノードN1はVCCとなる。信号SAN1、SAP1がそれぞれ

“L”、“H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A、RV1Bが“H”となる。その後、時刻t17zcに、信号SAN1、SAP1がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。また、データ回路の回路構成も、図20に示す回路構成に限られるものではなく、他の回路構成であっても良い。

【0209】図37、図38、図39および図40はそれぞれ、データ回路の他の回路図である。

【0210】図37に示すデータ回路の、VRFYBA1C、VRFYBB1Cの動作タイミングは、図28のデータ回路と同様の動作タイミングを用いた場合（動作波形図；図29、図33、図34、図35、図36）、VCCを0V、0VをVCCにすればよい。なお、VRFYBAC、VRFYBBC、VRFYBA2C、VRFYBB2Cのタイミングは、図28のデータ回路を用いた場合と同様である。

【0211】また、図38に示すデータ回路の、VRFYBAC、VRFYBBC、VRFYBA2C、VRFYBB2Cの動作タイミングは、図28のデータ回路を用いた場合（動作波形図；図29、図33、図34、図35、図36）、VCCを0V、0VをVCCにすればよい。なお、VRFYBA1C、VRFYBB1Cの動作タイミングは、図28のデータ回路を用いた場合と同様である。

【0212】また、図39に示すデータ回路の、VRFYBAC、VRFYBBCの動作タイミングは、図28のデータ回路を用いた場合（動作波形図；図29、図33、図34、図35、図36）、VCCを0V、0VをVCCにすればよい。なお、VRFYBA1C、VRFYBB1C、VRFYBA2C、VRFYBB2Cの動作タイミングは、図28のデータ回路を用いた場合と同様である。

【0213】また、図40に示すデータ回路の、VRFYBA2C、VRFYBB2Cの動作タイミングは、図28のデータ回路を用いた場合（動作波形図；図29、図33、図34、図35、図36）、VCCを0V、0VをVCCにすればよい。なお、VRFYBA1C、VRFYBB1C、VRFYBAC、VRFYBBCの動作タイミングは、図28のデータ回路を用いた場合と同様である。さらに、VRFYBA2C、VRFYBB2C、VRFYBA1C、VRFYBB1CをVCCにする場合に、VCCの代わりに、 $VCC + V_{th}$ (V_{th} はnチャネルMOSトランジスタのしきい値電圧)、あるいは $VCC + 2V_{th}$ にしても良い。この場合、nチャネルMOSトランジスタは、実質的な“しきい値落ち”を発生させずに、電位を転送できる。

【0214】また、上記第3の実施の形態では、読み出しおよびベリファイ読み出し時に、ビット線をプリチャージした後、非選択コントロールゲートCG1A、CG3A、CG4AをVCCにすることにより、CG1A、CG3A、CG4Aをゲート電極とするメモリセルをオンさせている。

【0215】これを、例えば非選択コントロールゲートCG1A、CG3A、CG4AはVCCにした後、フローティングにし、その後、ビット線をプリチャージしても良い。あるいは、ビット線をプリチャージした後、非選択コントロールゲートをVCCにし、その後、非選択コントロールゲートをフローティングにしても良い。この場合、メモリセルを通じて、ビット線からソース線に読み出し電流が流れる間に非選択コントロールゲートはフローティング状態である。読み出し電流が流れる間は、非選択コントロールゲートをゲート電極とするメモリセルのチャネルは0Vから大きくなり、その結果、チャネルと非選択コントロールゲート間の容量結合によって非選択コントロールゲートの電位はVCCよりも大きくなる。このように非選択コントロールゲートの電位がVCCよりも大きくなると、非選択コントロールゲートをゲート電極とするメモリセルの抵抗が小さくなり、その結果読み出し電流が大きくなり、読み出しが高速化される。

【0216】＜実施の形態4＞次に、この発明の第4の実施の形態に係る多値記憶NAND型EEPROMを説明する。

【0217】なお、第4の実施の形態に係るEEPROMは、第2の実施の形態に係るEEPROMなどと同様に、図1、図2に示した構成と同様な構成を持つ。

【0218】図41は、この発明の第4の実施の形態に係るEEPROMが有するデータ回路の回路図である。図41に示すデータ回路は、4値記憶を例に構成されている。

【0219】図41に示すデータ回路は、2つのラッチ回路（第1のラッチ回路及び第2のラッチ回路）を含

む。書き込みの際には、2ビットの書き込みデータはこの2つのラッチ回路に蓄えられる。読み出しの際には、読み出した4値データはこの2つのラッチ回路に蓄えられ、その後IOA～IODを介してチップの外部へ出力される。

【0220】図41に示すように、nチャネルMOSトランジスタQn21、Qn22、Qn23とpチャネルMOSトランジスタQp9、Qp10、Qp11により構成されるフリップ・フロップFF1とnチャネルMOSトランジスタQn29、Qn30、Qn31とpチャネルMOSトランジスタQp16、Qp17、Qp18により構成されるFF2に、書き込み/読み出しデータをラッチする。また、これらはセンスアンプとしても動作する。

【0221】フリップ・フロップFF1、FF2は、「0」書き込みをするか、「1」書き込みをするか、「2」書き込みをするか、「3」書き込みをするか」を書き込みデータ情報としてラッチし、メモリセルが「0」の情報を保持しているか、「1」の情報を保持しているか、「2」の情報を保持しているか、「3」の情報を保持しているか」を読み出しデータ情報としてセンスしラッチする。

【0222】データ入出力線IOA、IOBとフリップ・フロップFF1は、nチャネルMOSトランジスタQn28、Qn27を介して接続される。データ入出力線IOC、IODとフリップ・フロップFF2は、nチャネルMOSトランジスタQn35、Qn36を介して接続される。データ入出力線IOA、IOB、IOC、IODは、図1に示されたデータ入出力バッファ5にも接続される。nチャネルMOSトランジスタQn27、Qn28のゲートは、NAND論理回路G3とインバータI5で構成されるカラムアドレスデコーダの出力に接続される。

【0223】nチャネルMOSトランジスタQn26、Qn34は、それぞれフリップ・フロップFF1、FF2を信号ECH1、ECH2が“H”となってイコライズする。nチャネルMOSトランジスタQn24、Qn32は、フリップ・フロップFF1、FF2とMOSキャパシタQd1の接続を制御する。nチャネルMOSトランジスタQn25、Qn33は、フリップ・フロップFF1、FF2とMOSキャパシタQd2の接続を制御する。

【0224】nチャネルMOSトランジスタQn50C、Qn51Cで構成される回路は、活性化信号VRFYBACによって、フリップ・フロップFF1のデータに応じて、MOSキャパシタQd1のゲート電圧を変更する。nチャネルMOSトランジスタQn52C、Qn53Dで構成される回路は、活性化信号VRFYBBCによって、フリップ・フロップFF1のデータに応じて、MOSキャパシタQd2のゲート電圧を変更する。

nチャネルMOSトランジスタQn53C、Qn54C、Qn55Cで構成される回路は、活性化信号VRFYBACによって、フリップ・フロップFF1およびFF2のデータに応じて、MOSキャパシタQd1のゲート電圧を変更する。nチャネルMOSトランジスタQn56C、Qn57C、Qn58Cで構成される回路は、活性化信号VRFYBB2Cによって、フリップ・フロップFF1およびFF2のデータに応じて、MOSキャパシタQd2のゲート電圧を変更する。nチャネルMOSトランジスタQn1C、Qn2Cで構成される回路は、活性化信号VRFYBA1Cによって、フリップ・フロップFF2のデータに応じて、MOSキャパシタQd1のゲート電圧を変更する。nチャネルMOSトランジスタQn3C、Qn4Cで構成される回路は、活性化信号VRFYBB1Cによって、フリップ・フロップFF2のデータに応じて、MOSキャパシタQd2のゲート電圧を変更する。

【0225】MOSキャパシタQd1、Qd2は、ディプリーション型nチャネルMOSトランジスタで構成され、ビット線容量より十分小さくされる。nチャネルMOSトランジスタQn37は、信号PREAによってMOSキャパシタQd1を電圧VAに充電する。nチャネルMOSトランジスタQn38は、信号PREBによってMOSキャパシタQd2を電圧VBに充電する。nチャネルMOSトランジスタQn39、Qn40は、信号BLCA、BLCBによって、データ回路3とビット線BLa、BLbの接続をそれぞれ制御する。nチャネルMOSトランジスタQn37、Qn38で構成される回路はビット線電圧制御回路を兼ねる。

【0226】次に、このように構成されたEEPROMの動作を、動作波形図に従って説明する。以下では制御ゲートCG2Aが選択されている場合を示す。

【0227】＜読み出し動作＞図42は、読み出し動作を示す動作波形図である。

【0228】図42に示すように、まず、時刻t_{w1}、電圧VA、VBがそれぞれ1.8V、1.5Vとなって、ビット線BLa、BLbはそれぞれ1.8V、1.5Vになる。次に、信号PREA、PREBが“L”となって、ビット線BLa、BLbはフローティングとなる。続いて、時刻t_{w2}に、制御ゲート・選択ゲート駆動回路によって選択されたブロックの選択された制御ゲートCG2Aは1V、非選択制御ゲートCG1A、CG3A、CG4Aと選択ゲートSG1A、SG2AはVCCにされる。選択されたメモリセルのしきい値が1V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が1V以上なら、ビット線電圧は1.8Vのままとなる。その後、信号SAN1、SAP1がそれぞれ“L”、“H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、時刻t_{w3}に、信号RV1

A、RV1Bが“H”となる。時刻tw4に、再度、信号SAN1、SAP1がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“0”または“1”か、或いは“2”または“3”か」がフリップ・フロップFF1によってセンスされ、その情報はラッチされる。

【0229】次に、メモリセルのしきい値が0V以上か或いは、0V以下かが判定される。時刻tw5に、ビット線BLaが1.8Vに、ダミービット線BLbが1.5Vにプリチャージされ、その後フローティングにされる。その後、時刻tw6に選択された制御ゲートが0Vにされる。選択されたメモリセルのしきい値が0V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が0V以上なら、ビット線電圧は1.8Vのままとなる。信号SAN2、SAP2がそれぞれ“L”、“H”となってフリップ・フロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、時刻tw7に信号RV2A、RV2Bが“H”となる。時刻tw8に、信号SAN2、SAP2がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“0”か、或いは“1”または“2”または“3”か」がフリップ・フロップFF2によってセンスされ、その情報はラッチされる。

【0230】図43は、時刻tw8のときにフリップ・フロップFF1、FF2がセンスし、ラッチしている読み出しデータを示す図である。この時のフリップフロップFF1、FF2のノードN3C、N5Cの電位は図43のようになる。

【0231】最後に、メモリセルに書き込まれたデータが“0”または“1”または“2”か、あるいは“3”かがセンスされる。時刻tw9にビット線BLaが1.8Vに、ダミービット線BLbが1.5Vにプリチャージされ、その後フローティングにされる。その後、時刻tw10に選択された制御ゲートが2Vにされる。選択されたメモリセルのしきい値が2V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が2V以上なら、ビット線電圧は1.8Vのままとなる。時刻tw11にVRFYBA2CがVCCになる。

【0232】図43からわかるように、ノードN5Cが“High level”およびノードN3Cが“Low level”（つまりノードN4Cが“High level”）になるのは“1”データの場合のみである。従って“1”データの場合のみnチャネルMOSトランジスタQn54C、Qn55C、Qn53Cがオンし、ノードN1がVCCになる。その後、信号SAN2、SAP2がそれぞれ“L”、“H”となってフリップ・フロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、時刻tw12に、信号RV2A、RV2

Bが“H”となる。時刻tw13に、再度、信号SAN2、SAP2がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“0”または“1”または“2”であるか、あるいは“3”か」がフリップ・フロップFF2によってセンスされ、その情報はラッチされる。

【0233】図44は、フリップ・フロップFF1、FF2がセンスし、ラッチする読み出しデータを示す図である。

【0234】フリップ・フロップFF1およびFF2に保持された2ビットのデータは時刻tw14にCENBが活性化されることにより、チップ外部に出力される。

【0235】書き込み動作、および書き込みベリファイ読み出し動作はそれぞれ、第3の実施の形態と、ほぼ同様に行えばよい。

【0236】また、第4の実施の形態では、ワード線に所定の読み出し電圧（例えば0V、1V、2V）を印加する前に、毎回ビット線及びダミービット線をプリチャージしている。

【0237】これに対し、第3の実施の形態では、読み出し及びベリファイ読み出し時に、まず最初にビット線及びダミービット線をプリチャージし、その後はプリチャージせず、ワード線の読み出し電圧を変化（例えば0Vから1V、2V）させている。このような第3の実施の形態においても、読み出し、あるいはベリファイ読み出し時に、ワード線に読み出し電圧（例えば0V、1V、2V）を印加する毎に、上記第4の実施の形態のようにビット線及びダミービット線をプリチャージするようにしても良い。

【0238】以上、この発明を第1～第4の実施の形態により説明したが、これら第1～第4の実施の形態において、下記のような、さらなる変形が可能である。

【0239】図45は、変形されたカラム構成を有するEEPROMの構成図である。

【0240】上記第1～第4の実施の形態では、左右一つずつのビット線BLに、一つのデータ回路6**が対応したものを説明したが、左右複数ずつビット線BLに、一つのデータ回路6**が対応した形に変更することができる。

【0241】図45に示すように、変形されたカラム構成を有するEEPROMでは、4本のビット線BLai-1～BLai-4、またはBLbi-1～BLbi-4（iは0～3）に対して、データ回路6**-0～6**-mのうちの一つが設けられている。

【0242】以下、メモリセルアレイ1A側を例にとり説明する。

【0243】4本のビット線BLai-1～BLai-4のうち、例えばBLai-1を選択するときには、データ回路側のトランスファゲート回路7*Aを駆動する駆動信

号BLC1～BLC4のうち、信号BLC1を“H”レベルとし、他の信号BLC2～4をそれぞれ、“L”レベルとする。

【0244】また、同時に、非選択ビット線制御回路側のトランスファゲート回路7**Aを駆動する駆動信号BLC1D～BLC4Dのうち、信号BLC1Dを“L”レベルとし、他の信号BLC2D～4Dをそれぞれ、“H”レベルとする。これにより、選択されたビット線BLi-1だけがデータ回路6**-0～6**-mに接続される。

【0245】これにより、選択されたビット線BLai-1だけがデータ回路6**-0～6**-mに接続され、選択されていないビット線BLai-2～BLai-4はそれぞれ、非選択ビット線制御回路20-0A～20-mAに接続される。非選択ビット線制御回路20-0A～20-mAは、選択されていないビット線BLai-2～BLai-4の電位を制御する。

【0246】また、メモリセルアレイ1A、1Bに集積されるメモリセルは、NAND型のセルに限られることはなく、以下に説明するようなセルでも、この発明の実施が可能である。

【0247】図46は、NOR型のセルが集積されたメモリセルアレイを示す図である。図46に示すNOR型のセルは、ビット線BLに、選択ゲートを介して接続されている。

【0248】図47は、他のNOR型のセルが集積されたメモリセルアレイを示す図である。図47に示すNOR型のセルは、ビット線BLに、直接に接続されている。

【0249】図48は、グラウンドアレイ型のセルが集積されたメモリセルアレイを示す図である。図48に示すように、グラウンドアレイ型のセルは、ビット線BLとソース線VSとを並行に配置したものである。グラウンドアレイ型のセルは、NOR型のメモリの一つである。

【0250】図49は、他のグラウンドアレイ型のセルが集積されたメモリセルアレイを示す図である。図49に示すグラウンドアレイ型のセルは、データを消去するとき使用される消去ゲートEGを有している。また、制御ゲートCGの一部を、メモリセルトランジスタのチャンネルにオーバーラップさせた、いわゆるスプリットチャンネル型になっている。

【0251】図50は、交互グラウンドアレイ型のセルが集積されたメモリセルアレイを示す図である。図50に示すように、交互グラウンドアレイ型のセルは、ビット線BLとソース線VSとを並行に配置した点でグラウンドアレイ型のセルと一致するが、ビット線BLとソース線VSとを交互に切り替えることが可能な点が相違している。

【0252】図51は、他の交互グラウンドアレイ型のセルが集積されたメモリセルアレイを示す図である。図5

1に示す交互グラウンドアレイ型のセルは、図50に示したグラウンドアレイ型のセルと同様な構成を有している。

【0253】図52は、DINOR (Divided NOR) 型のセルが集積されたメモリセルアレイを示す図である。図52に示すように、DINOR型のセルは、ビット線BLとソース線VSとの間に、ビット線側選択トランジスタを介して、例えば4つのメモリセルトランジスタが並列に接続されて構成される。

【0254】図53は、AND型のセルが集積されたメモリセルアレイを示す図である。図53に示すように、AND型のセルは、ビット線BLとソース線VSとの間に、ビット線側選択トランジスタおよびソース線側選択トランジスタを介して、例えば4つのメモリセルトランジスタが並列に接続されて構成される。

【0255】上記第1～第4の実施の形態によれば、データ書き込みを行う際に、少なくとも1つのビット線電圧制御回路によって、ビット線を所望のビット線書き込み制御電圧に充電する。これにより、簡単な回路構成で、n値書き込みデータに応じたビット線書き込み制御電圧をビット線に印加するビット線電圧制御回路を実現できる。よって、カラム系回路の規模が小さくなり、チップサイズを小さくでき、低コストのn値記憶EEPROMを得ることができる。

【0256】例えばメモリセルへの書き込みデータをラッチ、およびメモリセルからの読み出しデータをセンス・ラッチする、多値のデータの数を 2^m (mは2以上の自然数) = n値としたとき、フリップ・フロップ回路の数をm個にできるので、カラム系回路の回路規模を小さくできる。そして、ベリファイ中、再度、書き込みを行うか否かを判断する判断回路とを具備するが、この判断回路を、前記ベリファイ中に、データラッチ・センスアンプ回路に、ベリファイ読み出し結果に応じて、更新されていく書き込みデータによって制御するように構成している。

【0257】なお、上記多値のデータの数nは、 $2^{(n-1)} < n \leq 2^n$ を満たす自然数であれば良い。

【0258】

【発明の効果】以上説明したように、この発明によれば、カラム系回路の回路規模が小さくなり、高集積化に適した不揮発性半導体記憶装置を提供できる。

【図面の簡単な説明】

【図1】図1はこの発明の第1の実施の形態に係る多値記憶NAND型EEPROMの構成を示す構成図。

【図2】図2は図1に示すメモリセルアレイおよびカラム系回路の構成を示す構成図。

【図3】図3は図2に示すメモリセルからデータを読み出すときを示す図で、(a)図は電圧の入力状態を示す図、(b)図は電圧の入力波形とビット線に現れる出力波形とを示す図。

【図4】図4はビット線に現れる出力電圧とメモリセル

の数とを関係を示す図。

【図5】図5は図2に示すデータ回路の回路図。

【図6】図6は読み出し動作を示す動作波形図。

【図7】図7はフリップ・フロップがセンスラッチする読み出しデータを示す図。

【図8】図8はフリップ・フロップがラッチする書き込みデータを示す図。

【図9】図9は書き込み動作を示す動作波形図。

【図10】図10はベリファイ読み出し動作を示す動作波形図。

【図11】図11は4値記憶のときのメモリセルトランジスタのしきい値分布を示す図。

【図12】図12はこの発明の第2の実施の形態に係るEEPROMが有するデータ回路の回路図。

【図13】図13は読み出し動作を示す動作波形図

【図14】図14はフリップ・フロップがセンスラッチしている読み出しデータを示す図。

【図15】図15はフリップ・フロップがセンスラッチする読み出しデータを示す図。

【図16】図16は書き込み動作の概略を示す概略図。

【図17】図17はフリップ・フロップがラッチする書き込みデータを示す図。

【図18】図18は書き込み動作（プログラム第1サイクル）を示す動作波形図。

【図19】図19はベリファイ読み出し動作（ベリファイ読み出し第1サイクル）を示す動作波形図。

【図20】図20はフリップ・フロップがラッチしているデータを示す図。

【図21】図21は書き込み終了一括検知トランジスタを有したデータ回路の回路図。

【図22】図22は書き込み動作（プログラム第2サイクル）を示す動作波形図。

【図23】図23はベリファイ読み出し動作（ベリファイ読み出し第2サイクル）を示す動作波形図。

【図24】図24はフリップ・フロップがラッチしているデータを示す図。

【図25】図25は他のベリファイ読み出し動作（ベリファイ読み出し第1サイクル）を示す動作波形図。

【図26】図26はデータ回路の他の回路図。

【図27】図27はデータ回路の他の回路図。

【図28】図28はこの発明の第3の実施の形態に係るEEPROMが有するデータ回路の回路図。

【図29】図29は読み出し動作を示す動作波形図。

【図30】図30はフリップ・フロップがセンスラッチしている読み出しデータを示す図。

【図31】図31はフリップ・フロップがセンスラッチする読み出しデータを示す図。

【図32】図32はフリップ・フロップがラッチする書き込みデータを示す図。

【図33】図33は書き込み動作を示す動作波形図。

【図34】図34はベリファイ読み出し動作を示す動作波形図。

【図35】図35はベリファイ読み出し動作を示す動作波形図。

【図36】図36は他のベリファイ読み出し動作を示す動作波形図。

【図37】図37はデータ回路の他の回路図。

【図38】図38はデータ回路の他の回路図。

【図39】図39はデータ回路の他の回路図。

【図40】図40はデータ回路の他の回路図。

【図41】図41はこの発明の第4の実施の形態に係るEEPROMが有するデータ回路の回路図。

【図42】図42は読み出し動作を示す動作波形図。

【図43】図43はフリップ・フロップがセンスラッチしている読み出しデータを示す図。

【図44】図44はフリップ・フロップがセンスし、ラッチする読み出しデータを示す図。

【図45】図45は変形されたカラム構成を有するEEPROMの構成図。

【図46】図46はNOR型のセルが集積されたメモリセルアレイを示す図。

【図47】図47は他のNOR型のセルが集積されたメモリセルアレイを示す図。

【図48】図48はグランドアレイ型のセルが集積されたメモリセルアレイを示す図。

【図49】図49は他のグランドアレイ型のセルが集積されたメモリセルアレイを示す図。

【図50】図50は交互グランドアレイ型のセルが集積されたメモリセルアレイを示す図。

【図51】図51は他の交互グランドアレイ型のセルが集積されたメモリセルアレイを示す図。

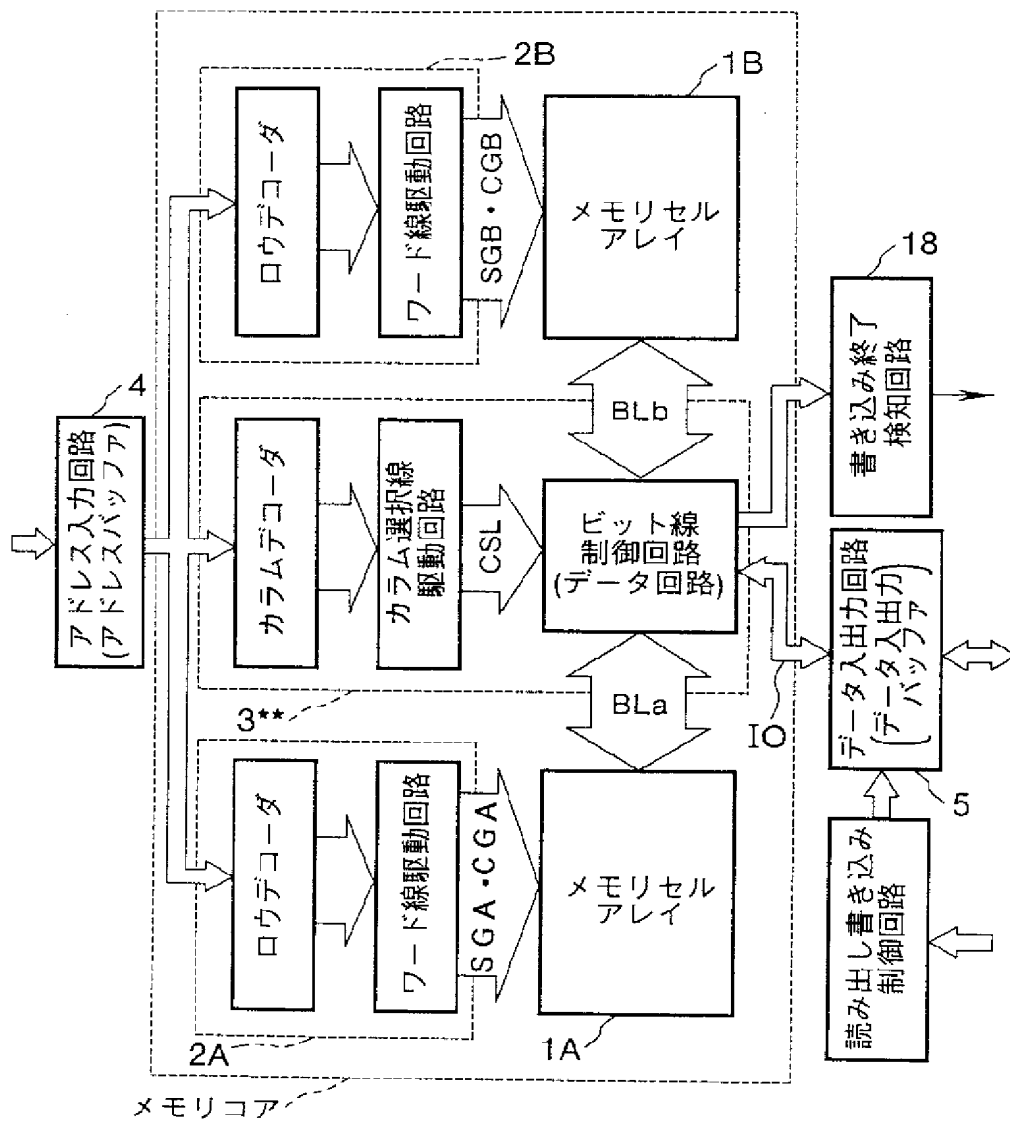
【図52】図52はDINOR型のセルが集積されたメモリセルアレイを示す図。

【図53】図53はAND型のセルが集積されたメモリセルアレイを示す図。

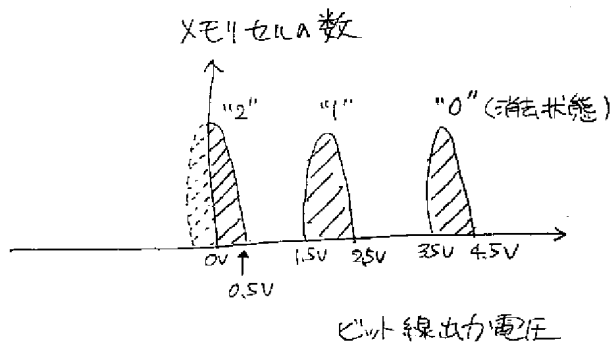
【符号の説明】

- 1…メモリセルアレイ、
- 2…ロウ系回路、
- 3…カラム系回路、
- 4…アドレスバッファ、
- 5…データ入出力回路
- 6**…データ回路、
- 7…トランスファゲート回路、
- MC…メモリセル、
- M…メモリセルトランジスタ、
- S…選択トランジスタ、
- SG…選択ゲート、
- CG…制御ゲート、
- BL…ビット線。
- FF…フリップフロップ回路。

【図1】



【図4】

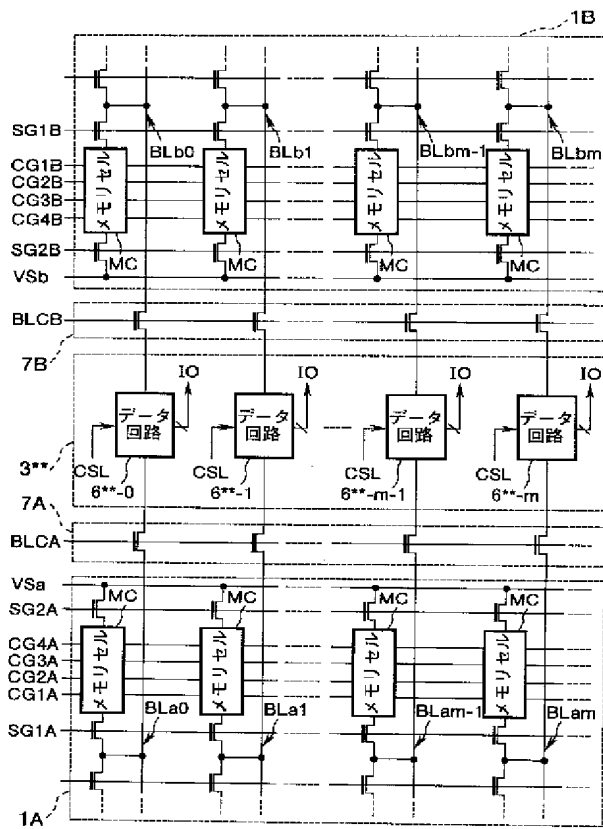


【図14】

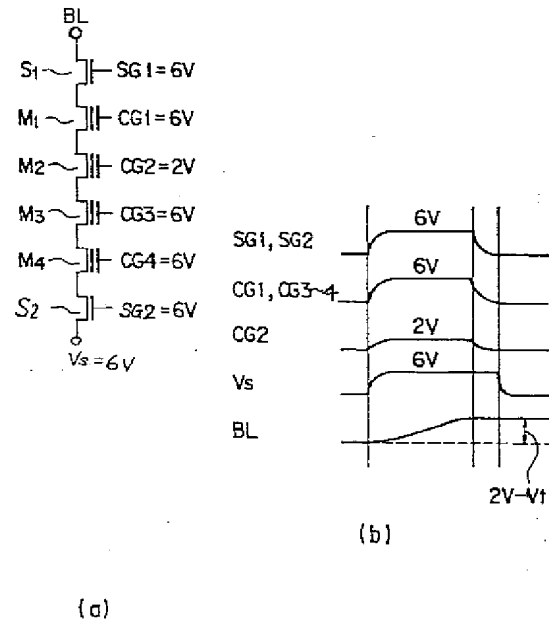
	"0"	"1"	"2"	"3"
N3	L	L	H	H
N5	L	L	L	H

読み出し時、時刻 t_{R2} の
フリップフロップ FF1, FF2 の出力電圧

【図2】



【図3】



【図7】

	"0"	"1"	"2"
IOA (N3)	L	H	H
IOB (N4)	H	L	L
IOC (N5)	H	H	L
IOD (N6)	L	L	H

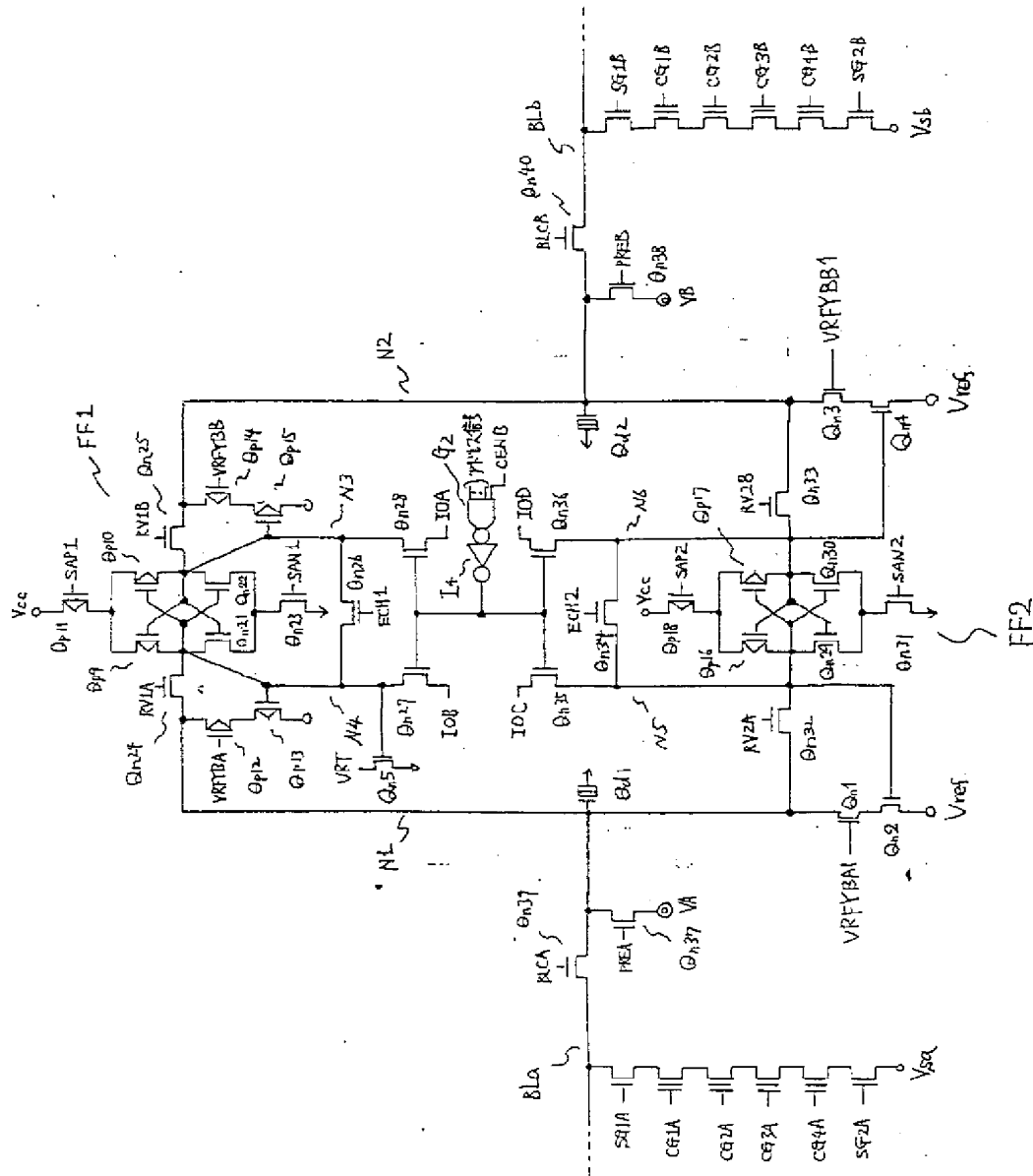
読み出しデータ

【図8】

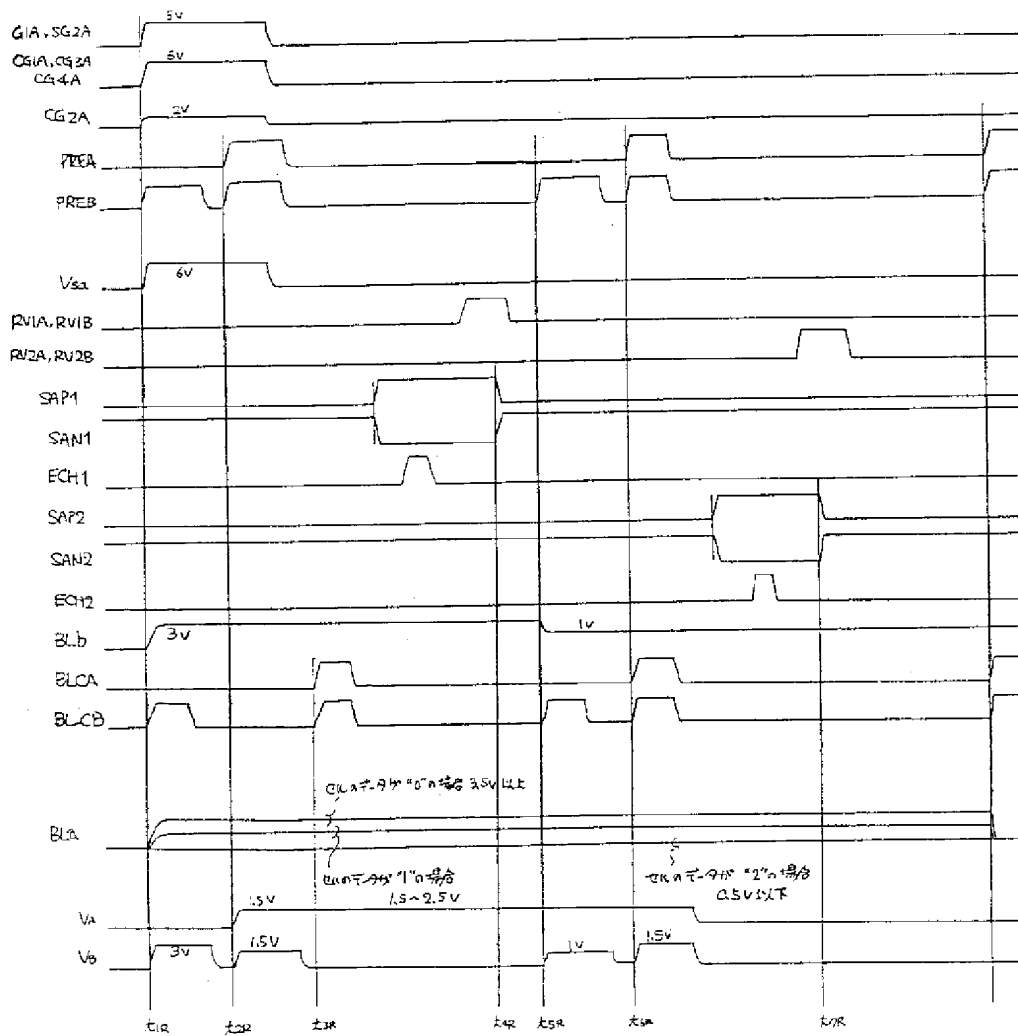
	"0"	"1"	"2"
IOA (N3)	H	L	L
IOB (N4)	L	H	H
IOC (N5)	H	H	L
IOD (N6)	L	L	H

書き込みデータ

【図5】

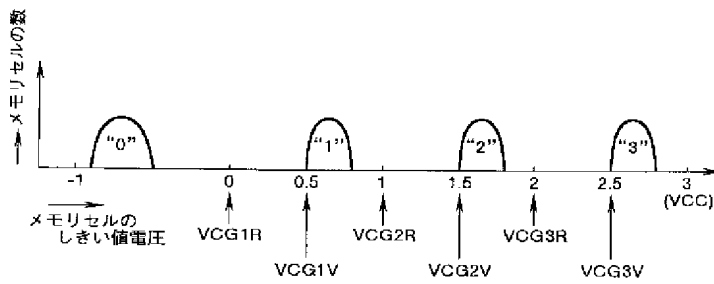


【図6】



【図11】

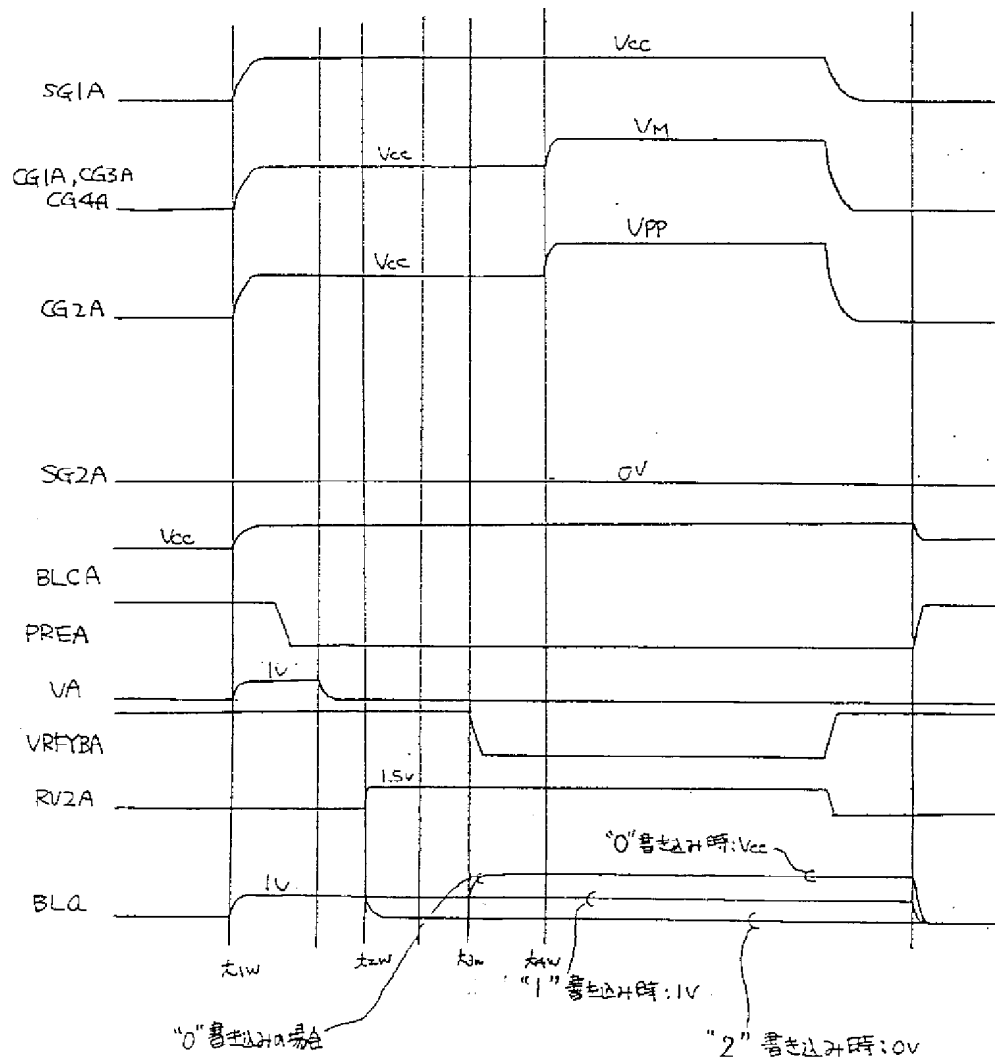
【図30】



	"0"	"1"	"2"	"3"
IOA(N3C)	L	H	L	H
IOB(N4C)	H	L	H	L
IOC(N5C)	L	L	H	H
IOD(N6C)	H	H	L	L

読み出しデータ

【図9】



【図15】

	"0"	"1"	"2"	"3"
IOA(N3)	L	L	H	H
IOB(N4)	H	H	L	L
IOC(N5)	L	H	H	L
IOD(N6)	H	L	L	H

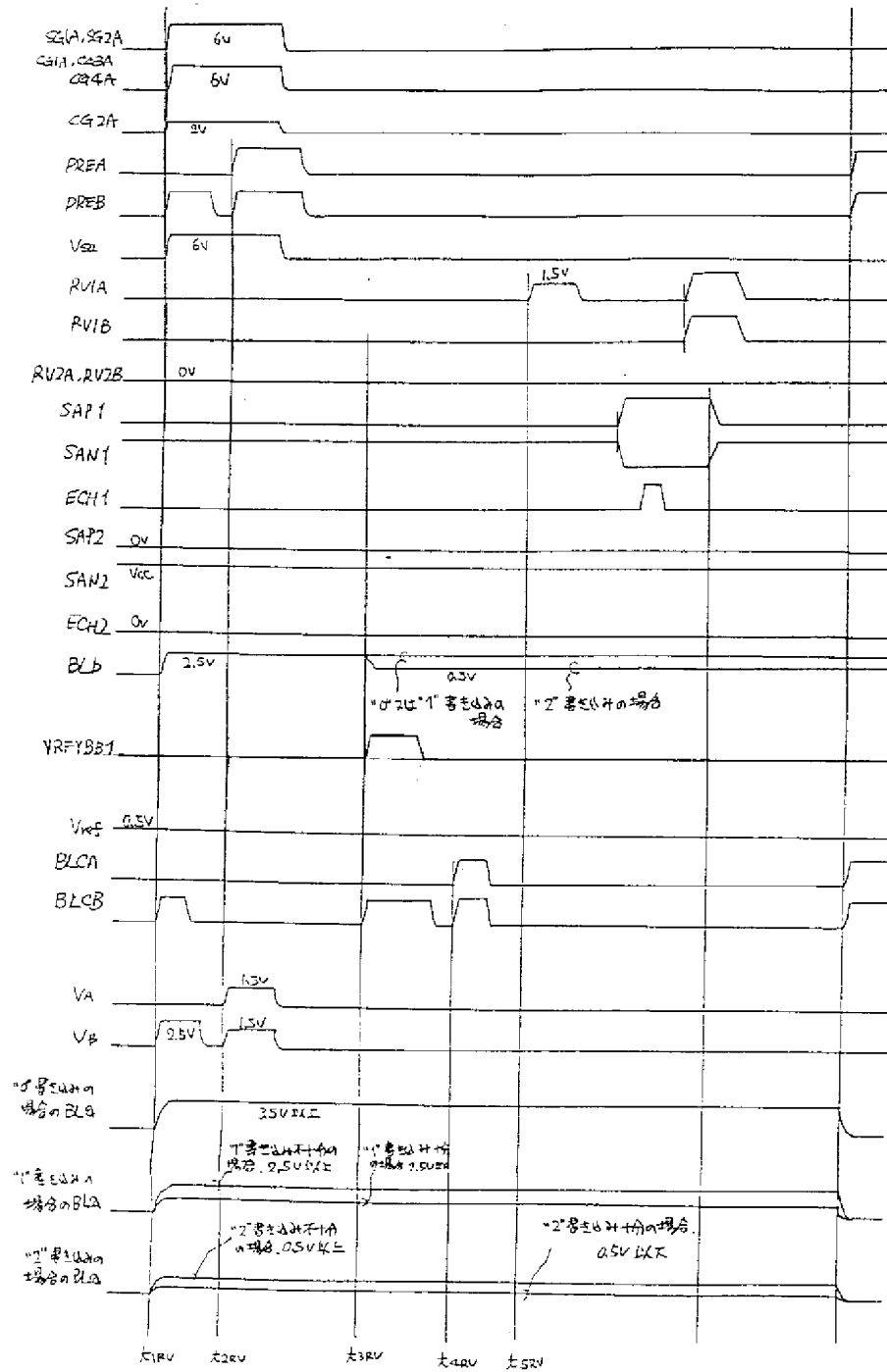
読み出しデータ

【図17】

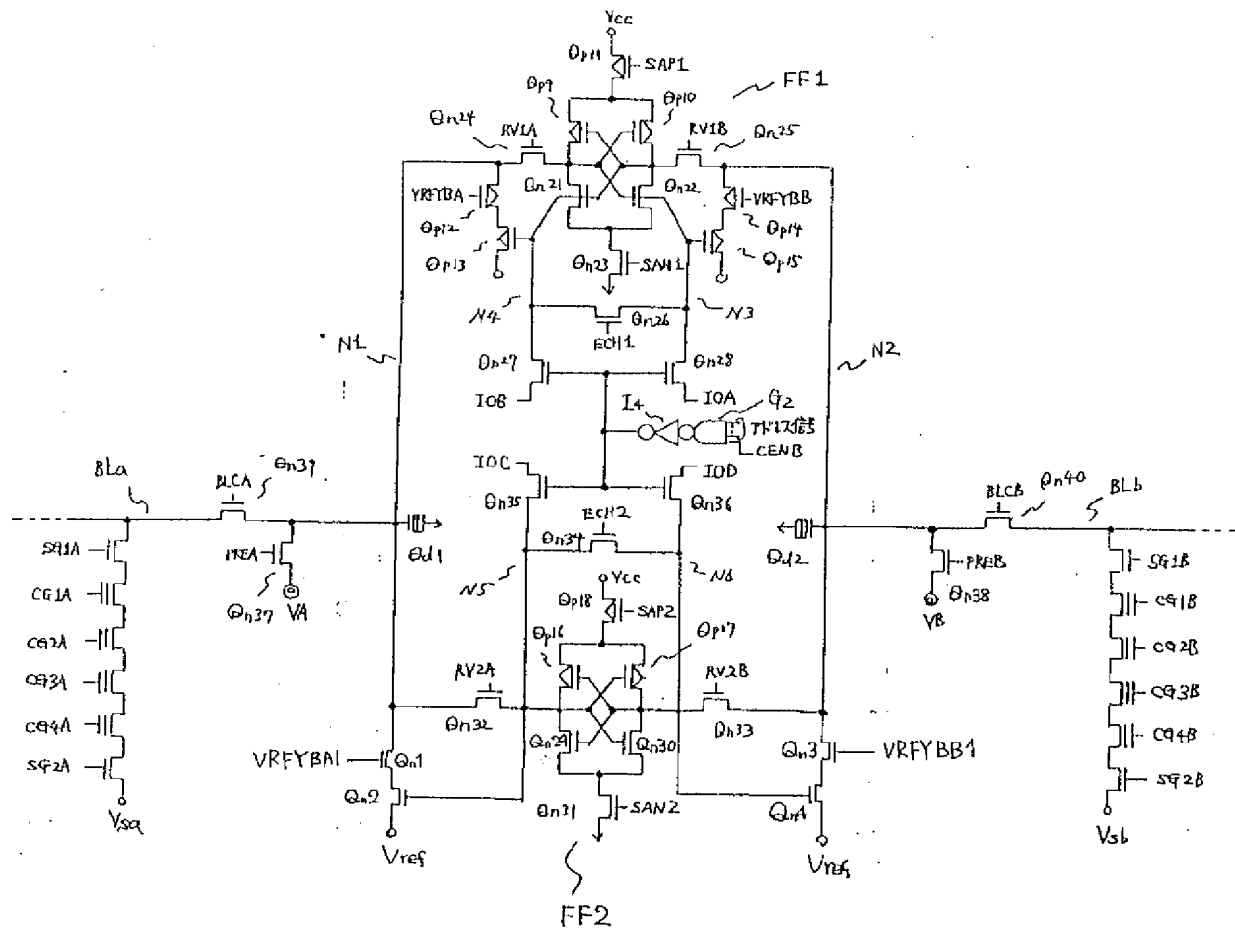
	"0"	"1"	"2"	"3"
IOA(N3)	H	H	L	L
IOB(N4)	L	L	H	H
IOC(N5)	H	L	H	L
IOD(N6)	L	H	L	H

書き込みデータ

【図10】



【図12】



【図20】

	"0"	"1"	"2"	"3"
N3	H	H	H	H
N4	L	L	L	L
N5	H	L	H	H
N6	L	H	L	L

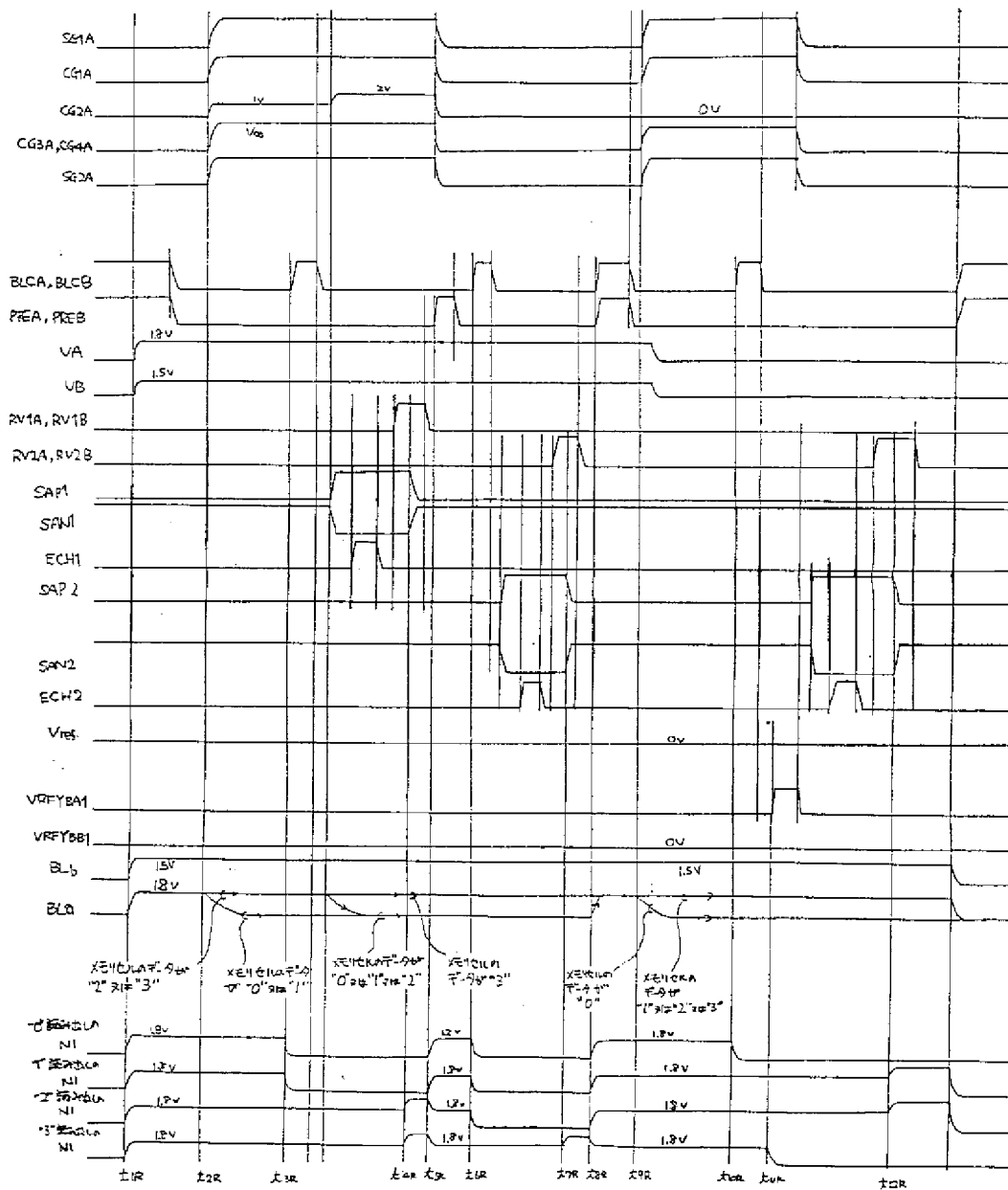
"2"書き込み および "3"書き込みするメモ리에다가
すべ2 + 分に書き込まれた時の
フリップフロップの1-ドの電位

【図24】

	"0"	"1"	"2"	"3"
N3	H	H	H	H
N4	L	L	L	L
N5	H	H	H	H
N6	L	L	L	L

すべ2の選択メモ리에다가 + 分に
書き込まれた時のフリップフロップの
1-ドの電位

【図13】



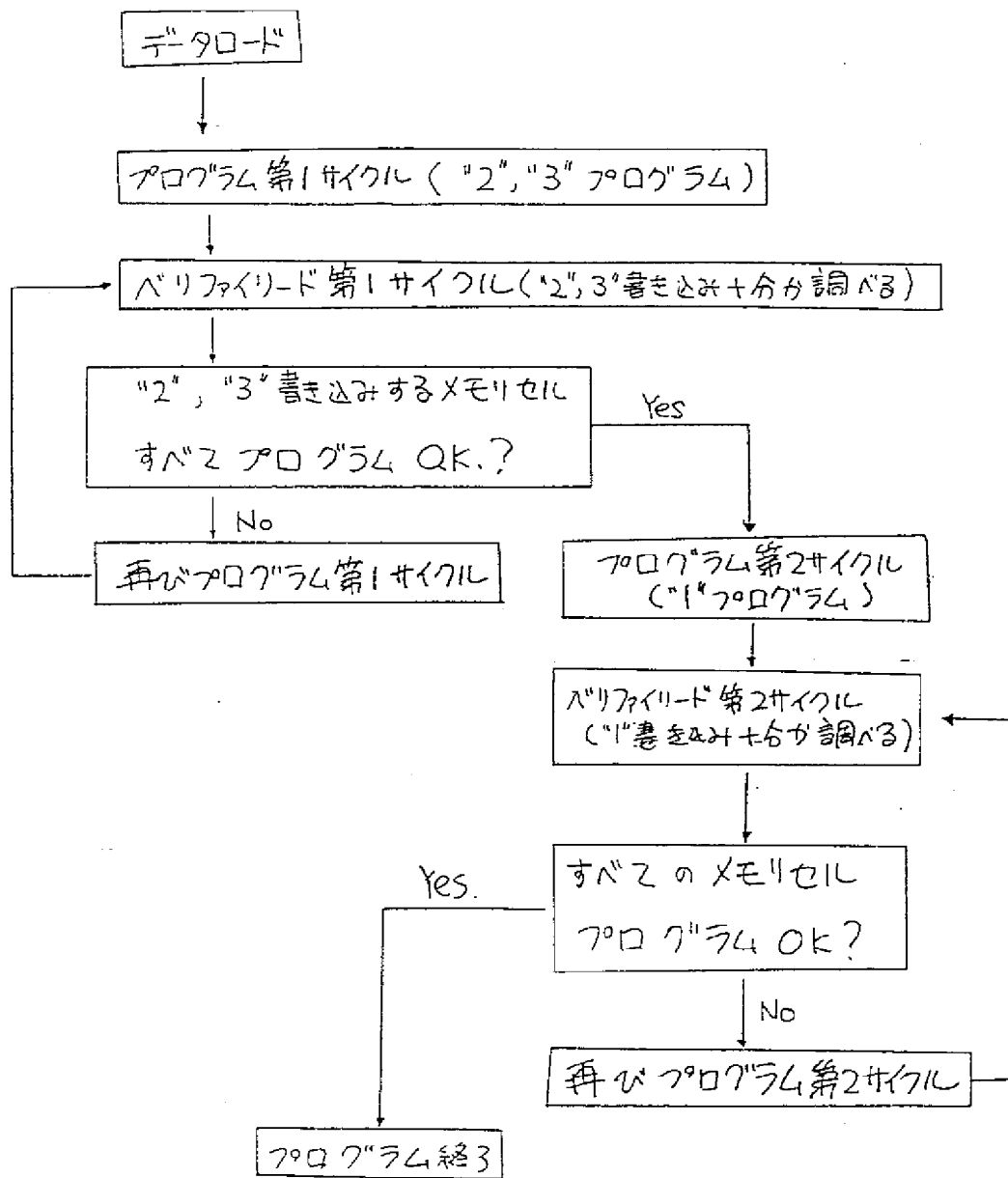
【図43】

	"0"	"1"	"2"	"3"
N3C	L	L	H	H
N5C	L	H	H	H

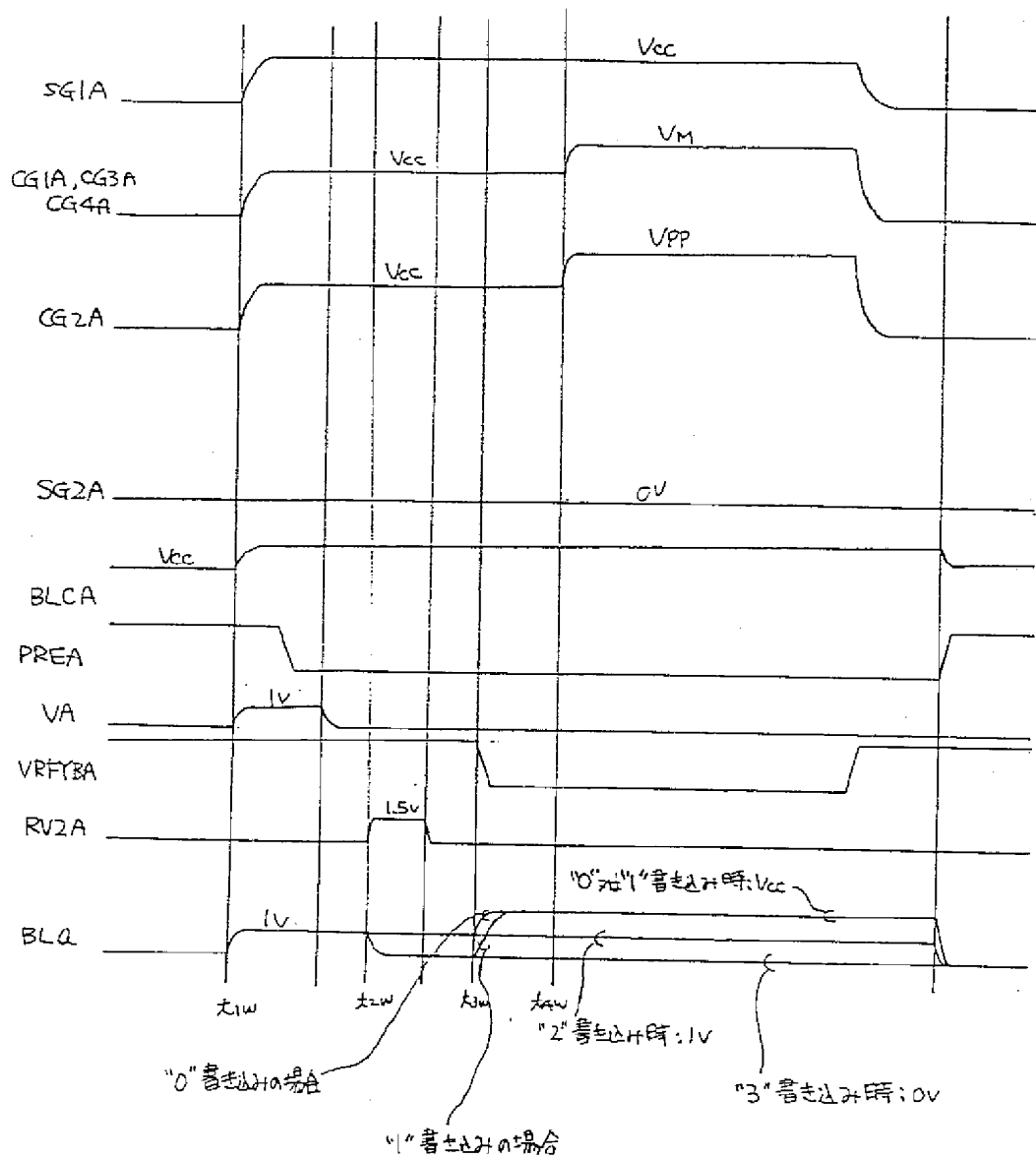
【図44】

	"0"	"1"	"2"	"3"
N3C	L	L	H	H
N5C	L	H	L	H

【図16】

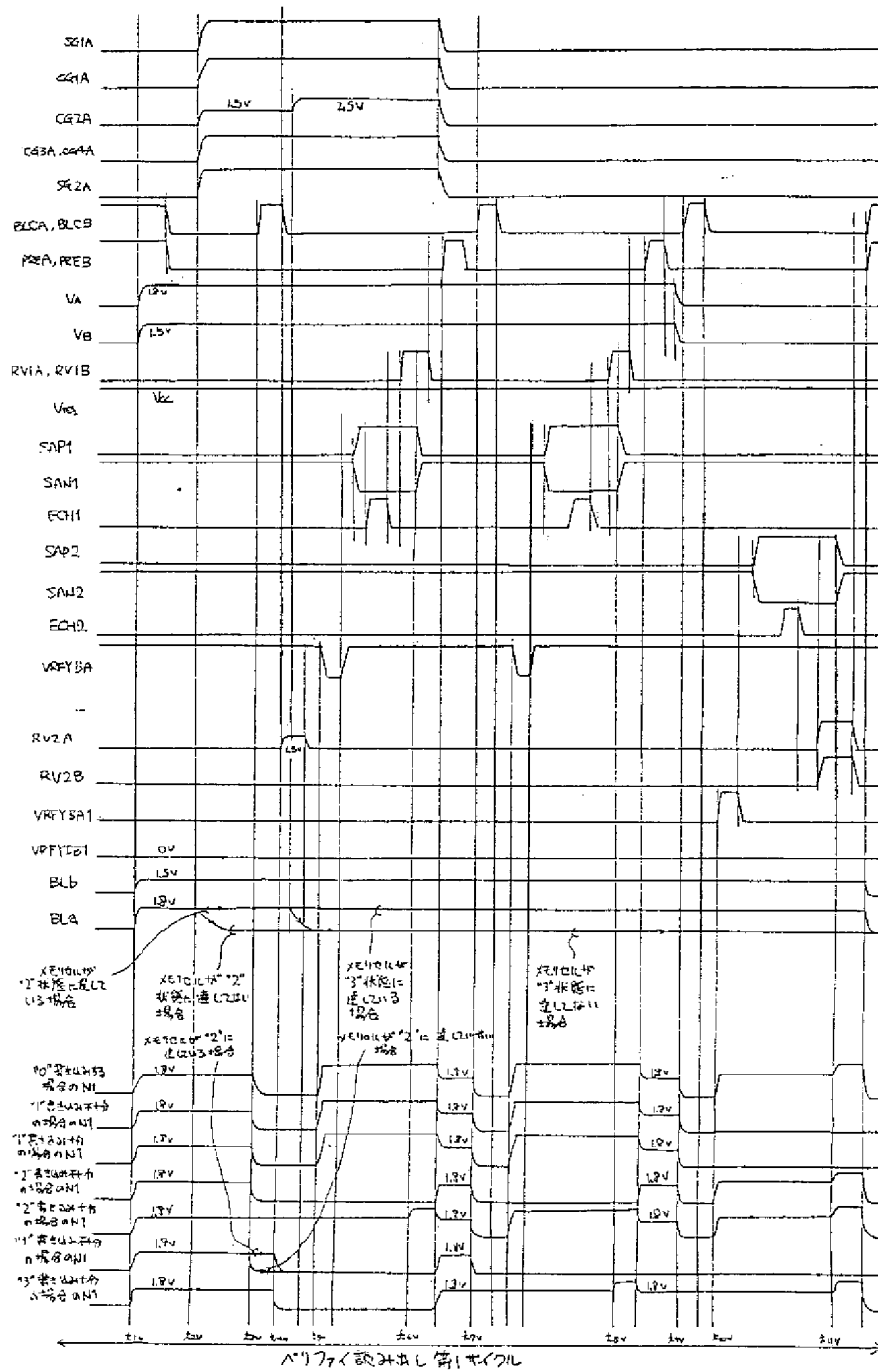


【図18】

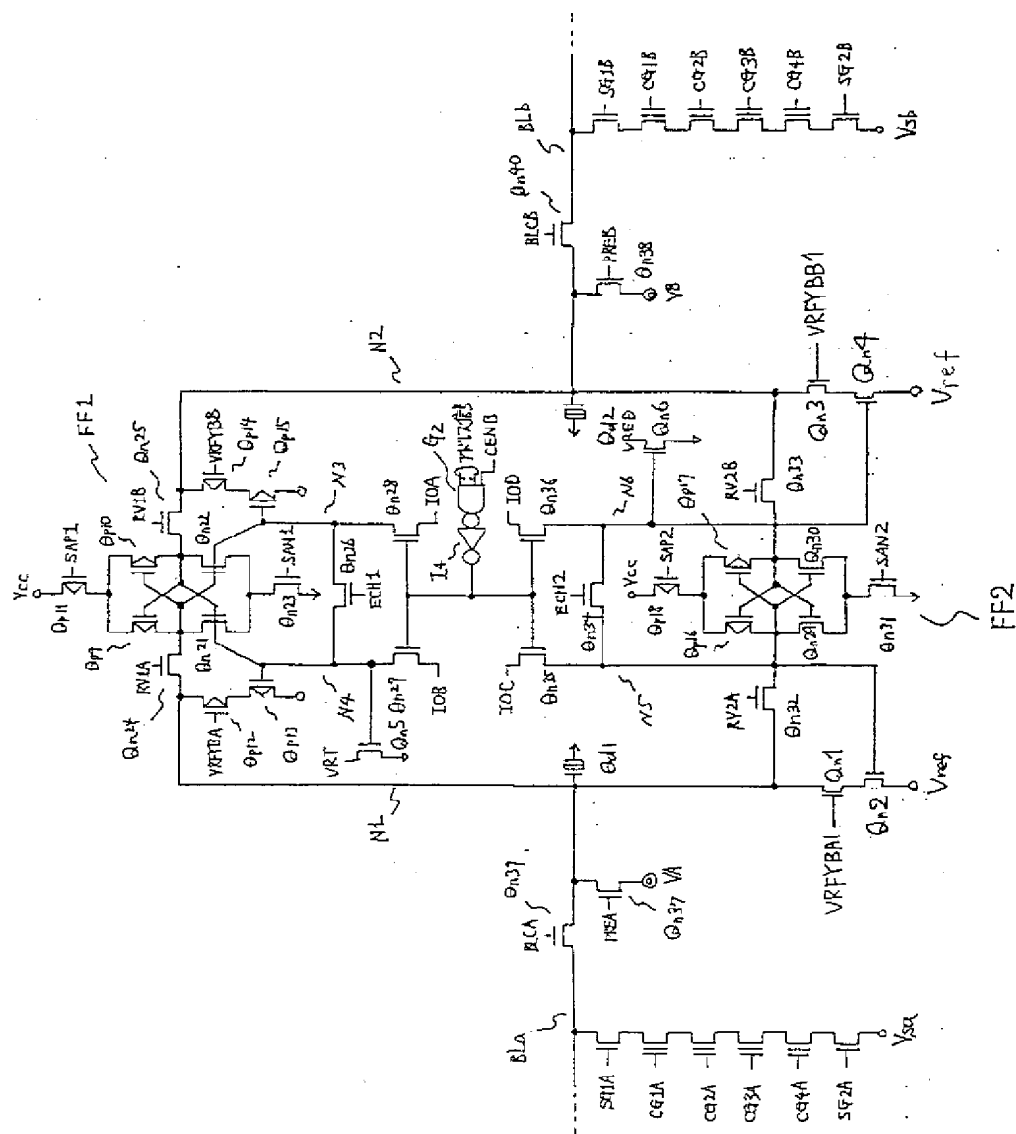


プログラム第1サイクル

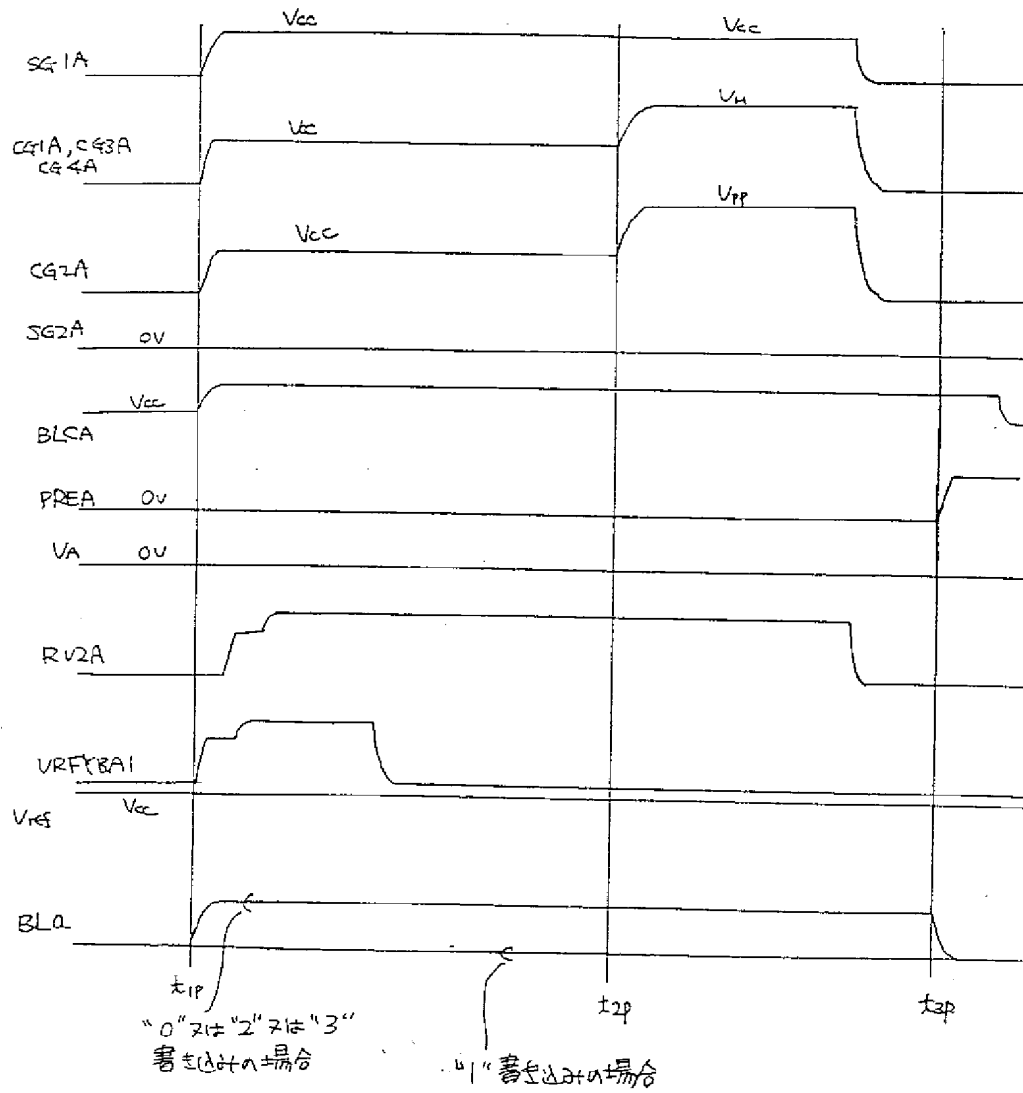
【図19】



【图 2 1】

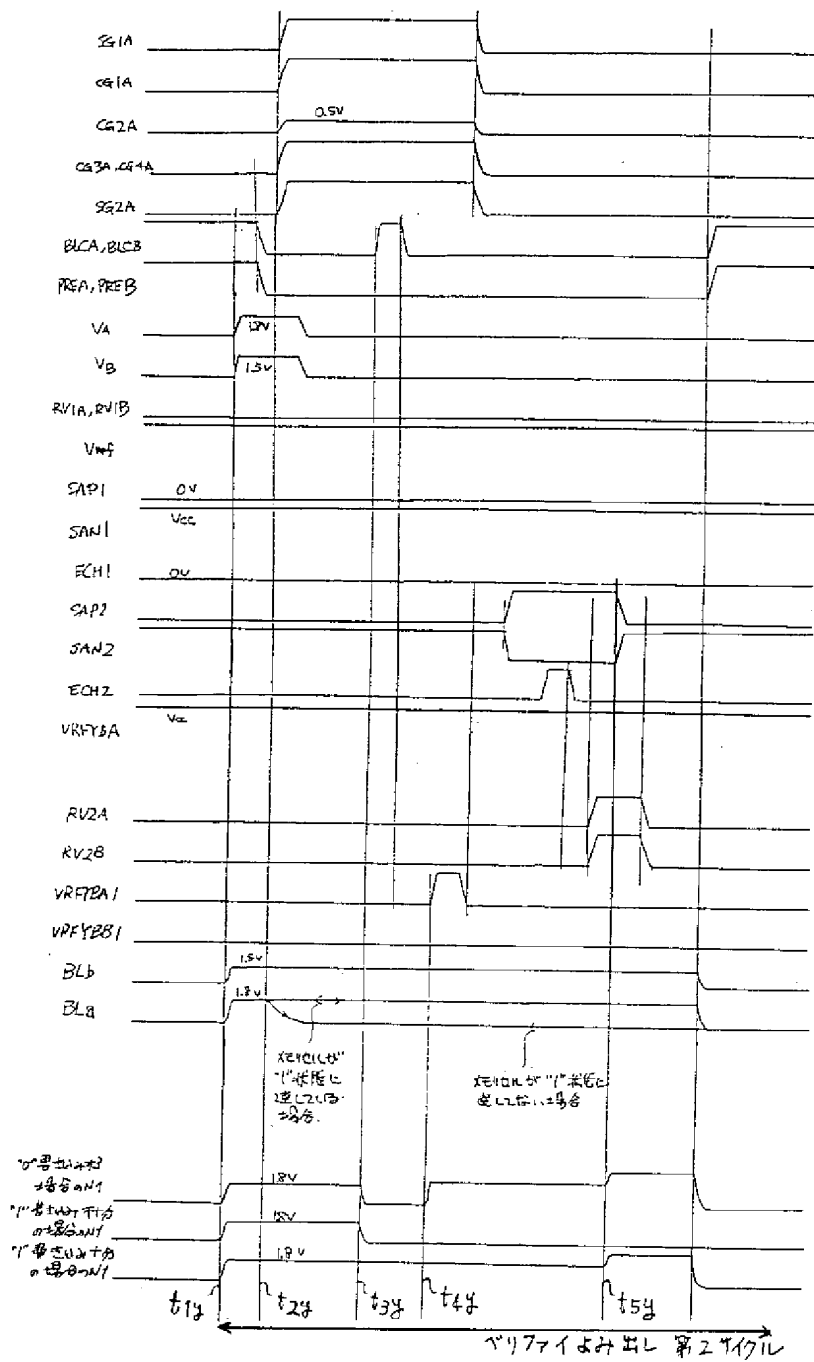


【図22】



7ビットシフトレジスタ第2サイクル

【図23】

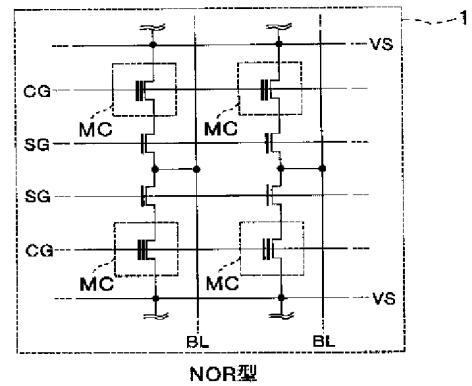


【図31】

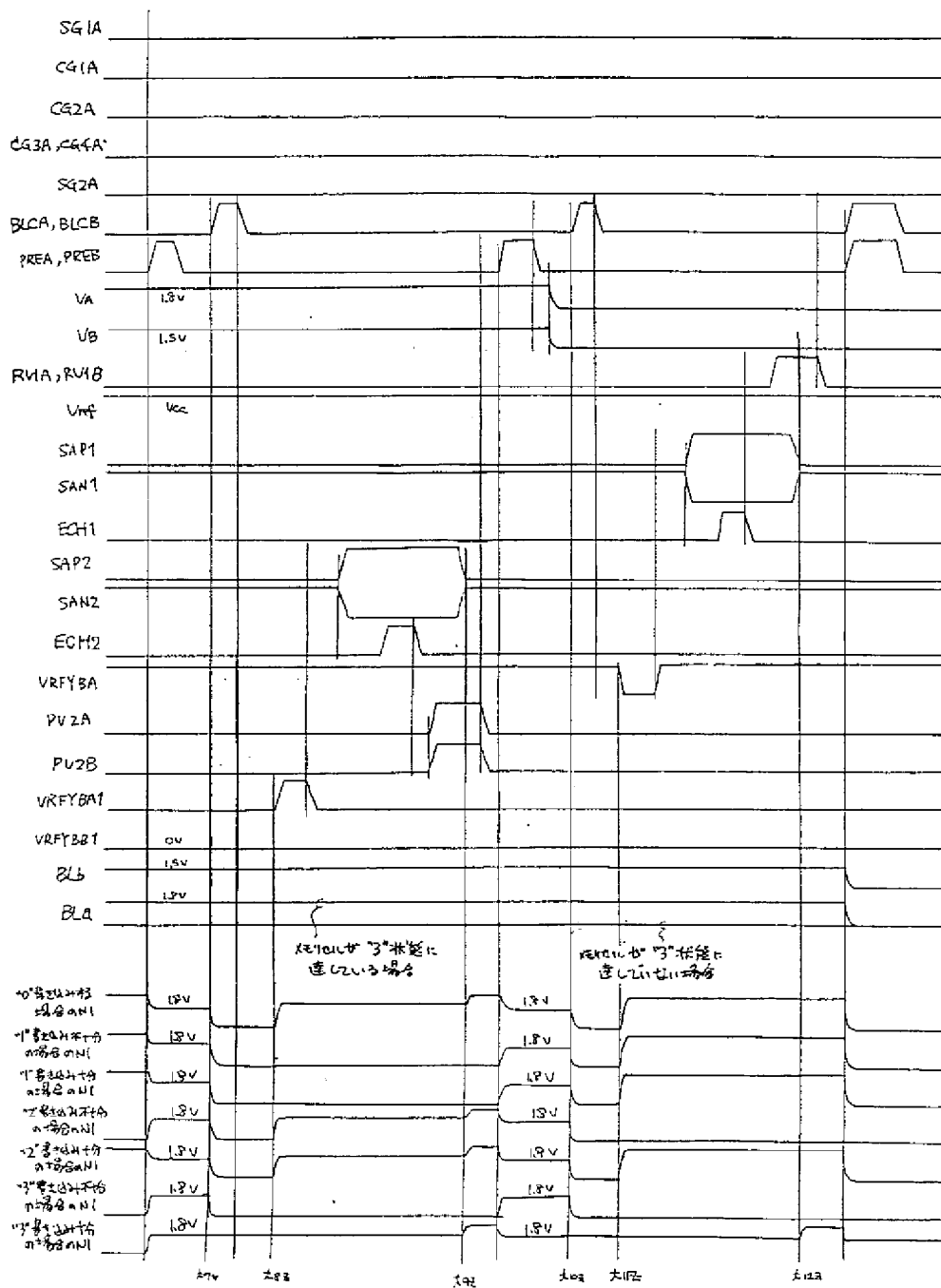
	"0"	"1"	"2"	"3"
N3C	L	H	H	H
N5C	L	L	H	H

読み出し時、時刻 t_{4g} での
フリップフロップ FF1, FF2 の \overline{Q} の電位

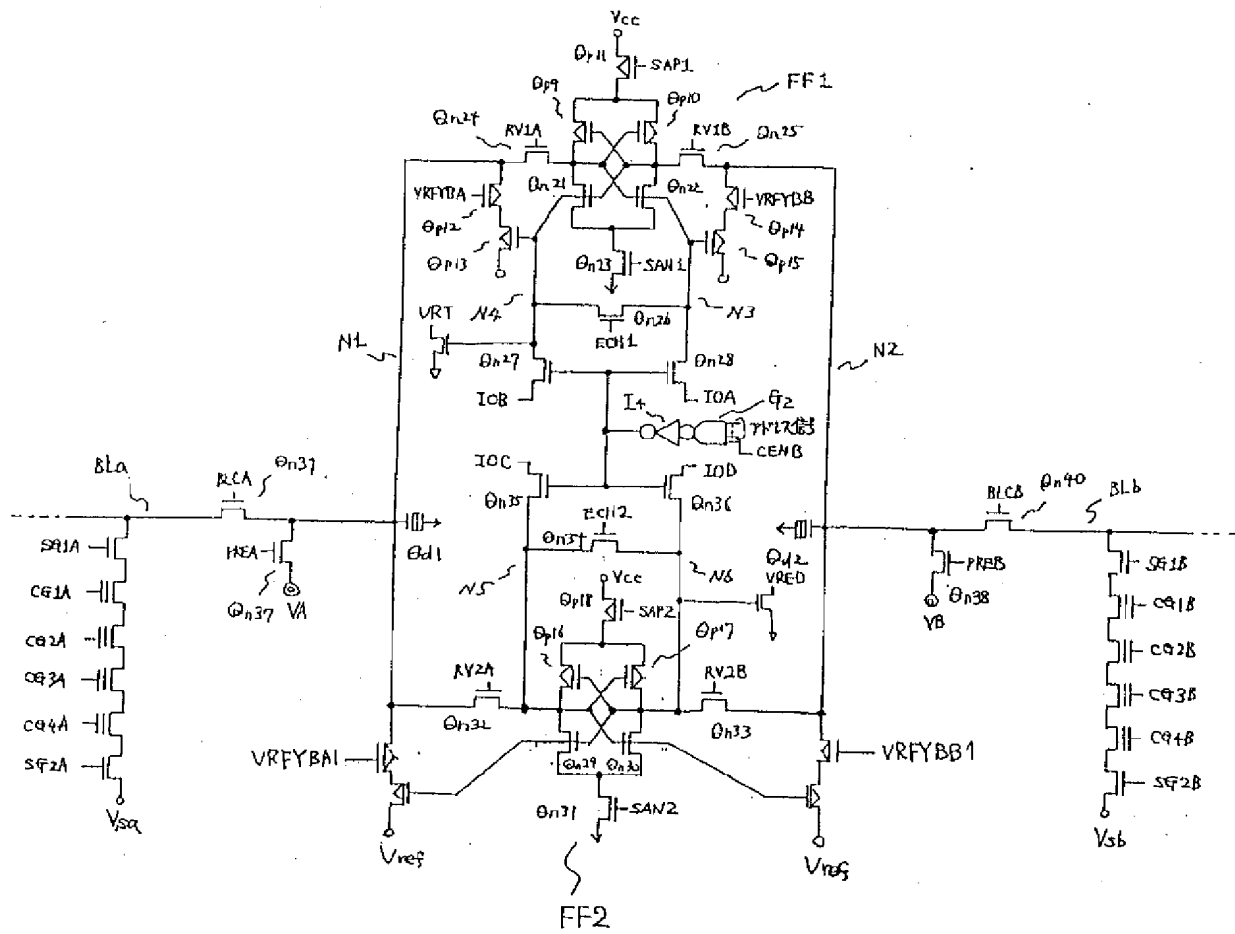
【図46】



【図25】



【図26】

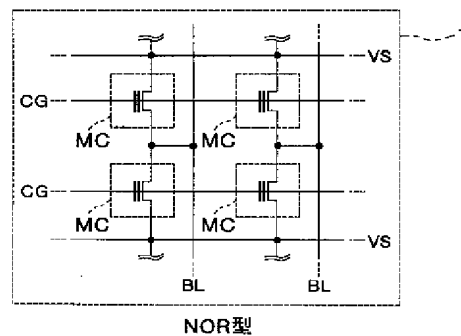


【図32】

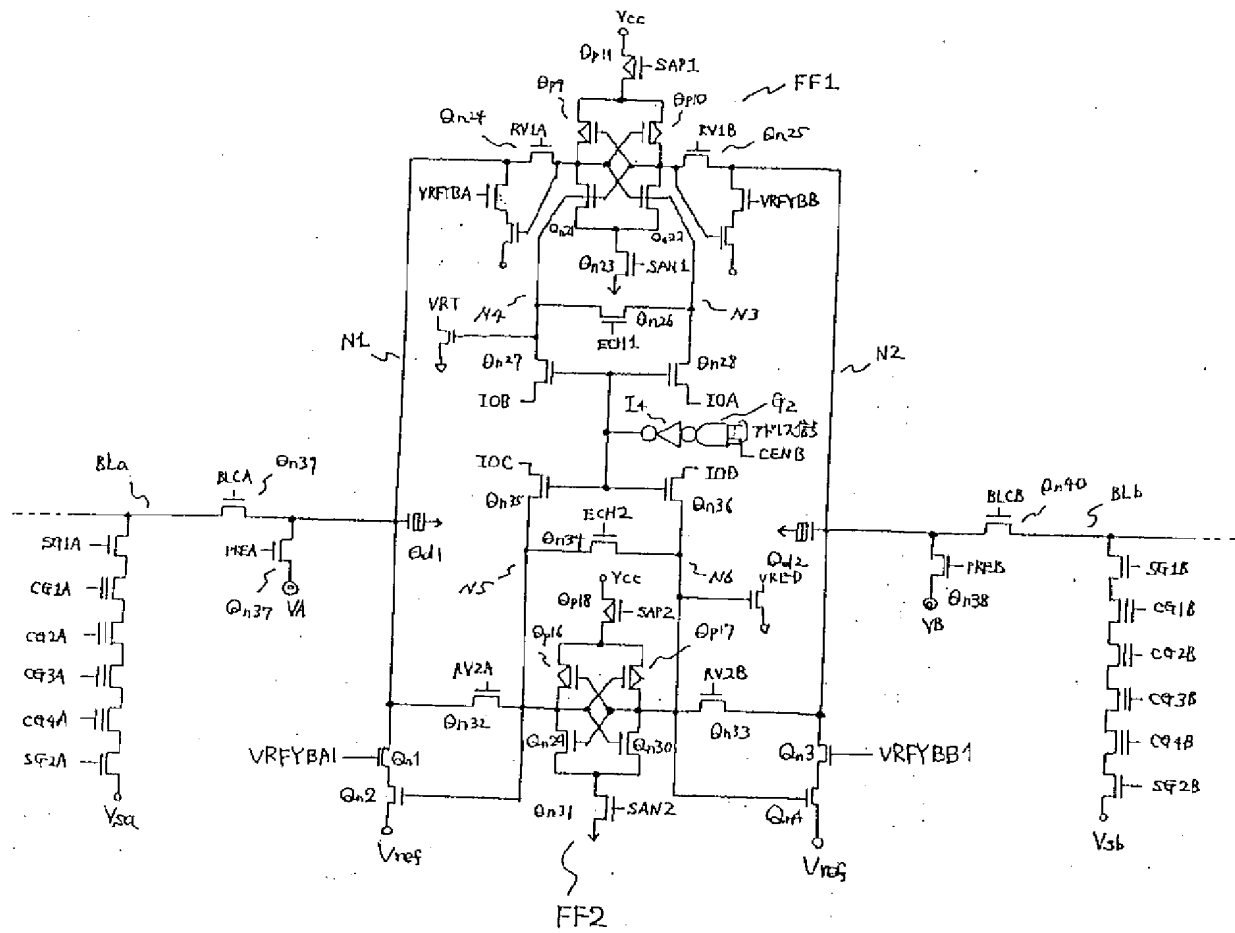
	"0"	"1"	"2"	"3"
IOA (N3C)	H	H	L	L
IOB (N4C)	L	L	H	H
IOC (N5C)	H	L	H	L
IOD (N6C)	L	H	L	H

書き込みデータ

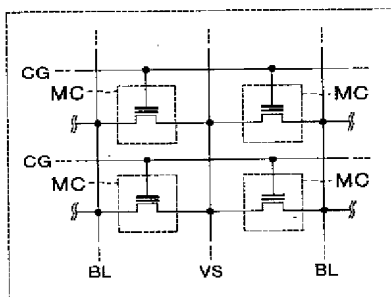
【図47】



【図27】

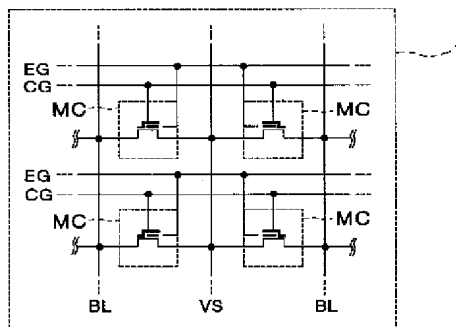


【図48】



GROUND ARRAY型 (NOR型)

【図49】



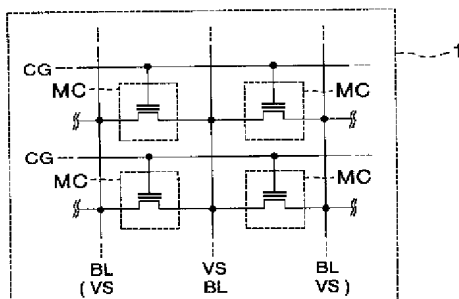
GROUND ARRAY型 (NOR型)

The diagram is a detailed hand-drawn schematic of a 4-bit parallel adder implemented using a 74181 ALU. The central component is the 74181 ALU, which is shown with its internal structure, including four 2-bit ALU slices, each with two 4-bit ALU slices. The diagram is labeled with various components and signals, including Vcc, GND, and various logic gates and flip-flops. The output of the adder is shown as a 4-bit parallel output.

Key components and labels include:

- 74181 ALU:** The central component, shown with its internal structure, including four 2-bit ALU slices, each with two 4-bit ALU slices.
- Inputs:** A, B, C, D, E, F, G, H, I, J, K, L, M, N, O, P, Q, R, S, T, U, V, W, X, Y, Z.
- Outputs:** F0, F1, F2, F3, F4, F5, F6, F7, F8, F9, FA, FB, FC, FD, FE, FF.
- Control Signals:** Vcc, GND, and various logic gates and flip-flops.
- Logic Gates:** AND, OR, NOT, XOR, NAND, NOR, XNOR, and various other logic gates.
- Flip-Flops:** D-type flip-flops and other types of flip-flops.

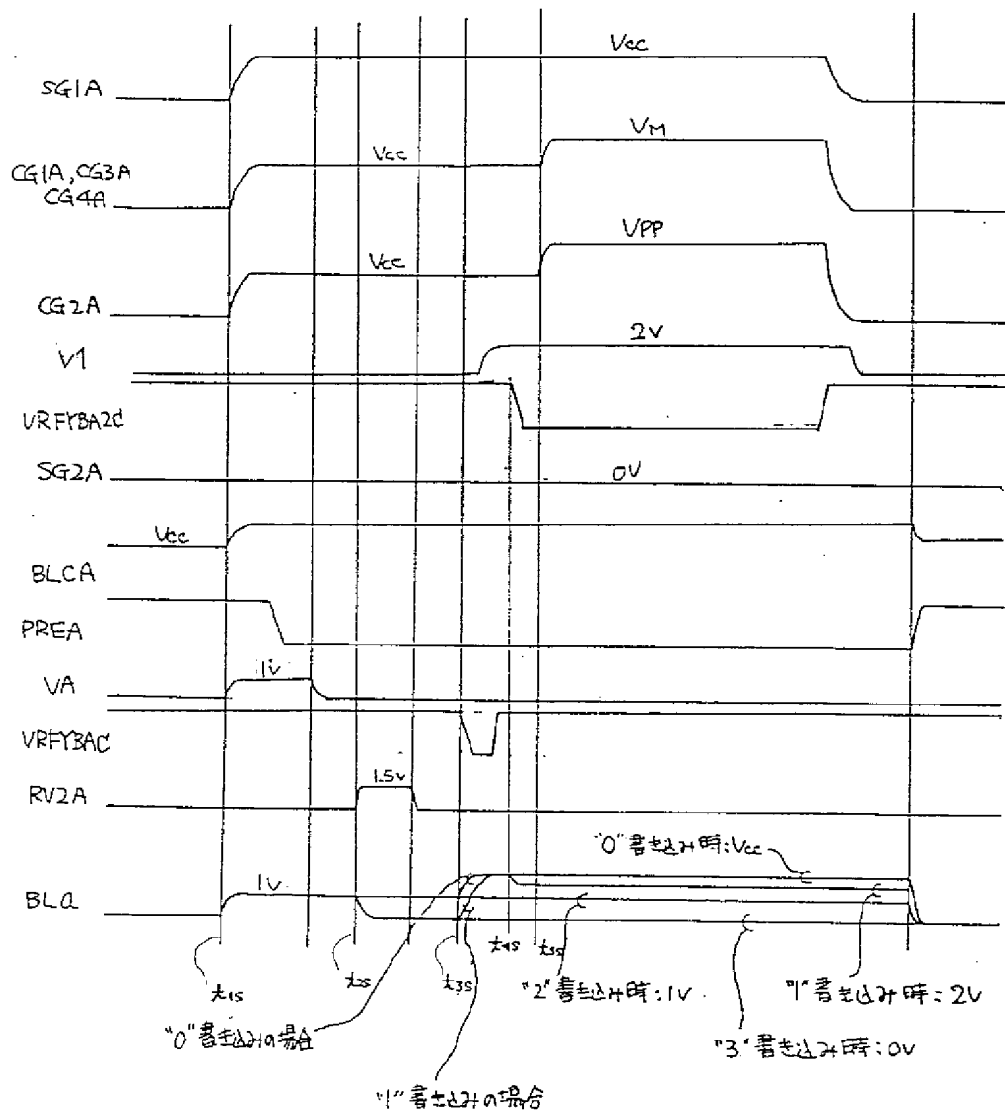
【例 5 1】



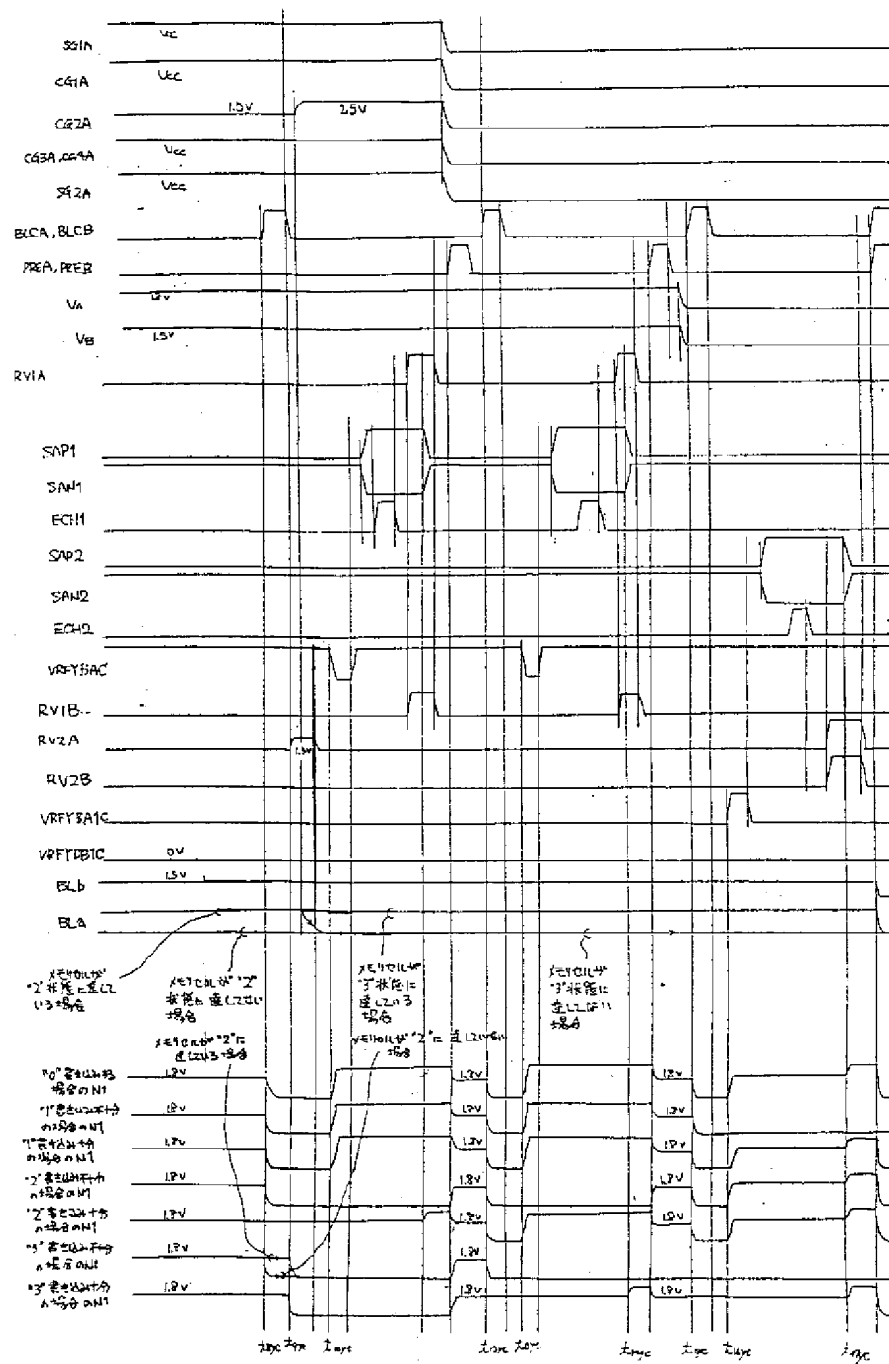
The timing diagram illustrates the relationship between the MC (Master Clock), EG (Even Gate), and CG (Clock Gate) signals. The MC signal is shown as a periodic square wave. The EG and CG signals are shown as pulses that occur during the BL (Bus Lock), VS (Valid State), and BL VS (Bus Lock Valid State) phases. The diagram shows that the EG and CG signals are active during the BL and VS phases, and their timing is synchronized with the MC signal.

ALTERNATE GROUND ARRAY型 (NOR型)

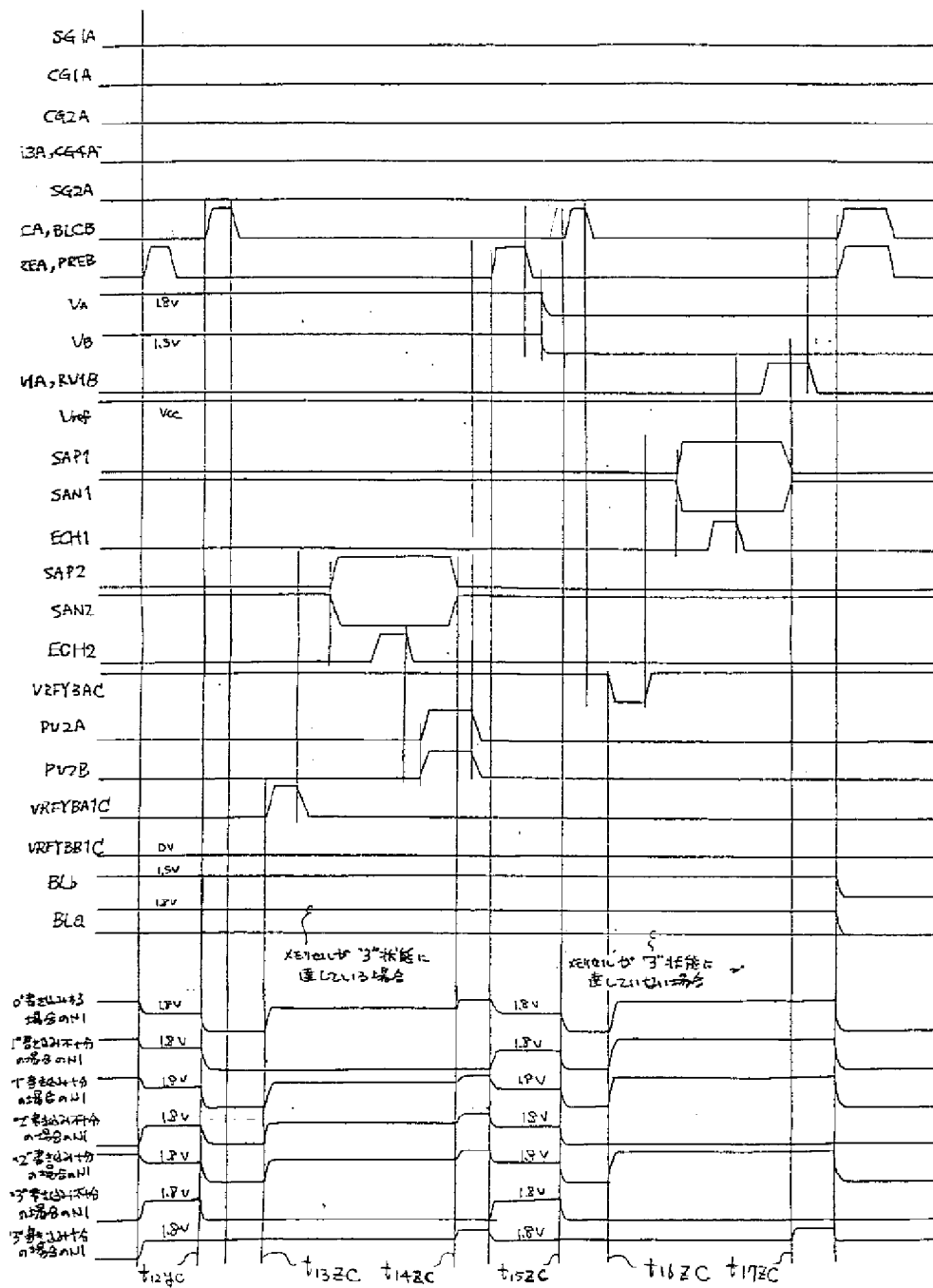
【図33】



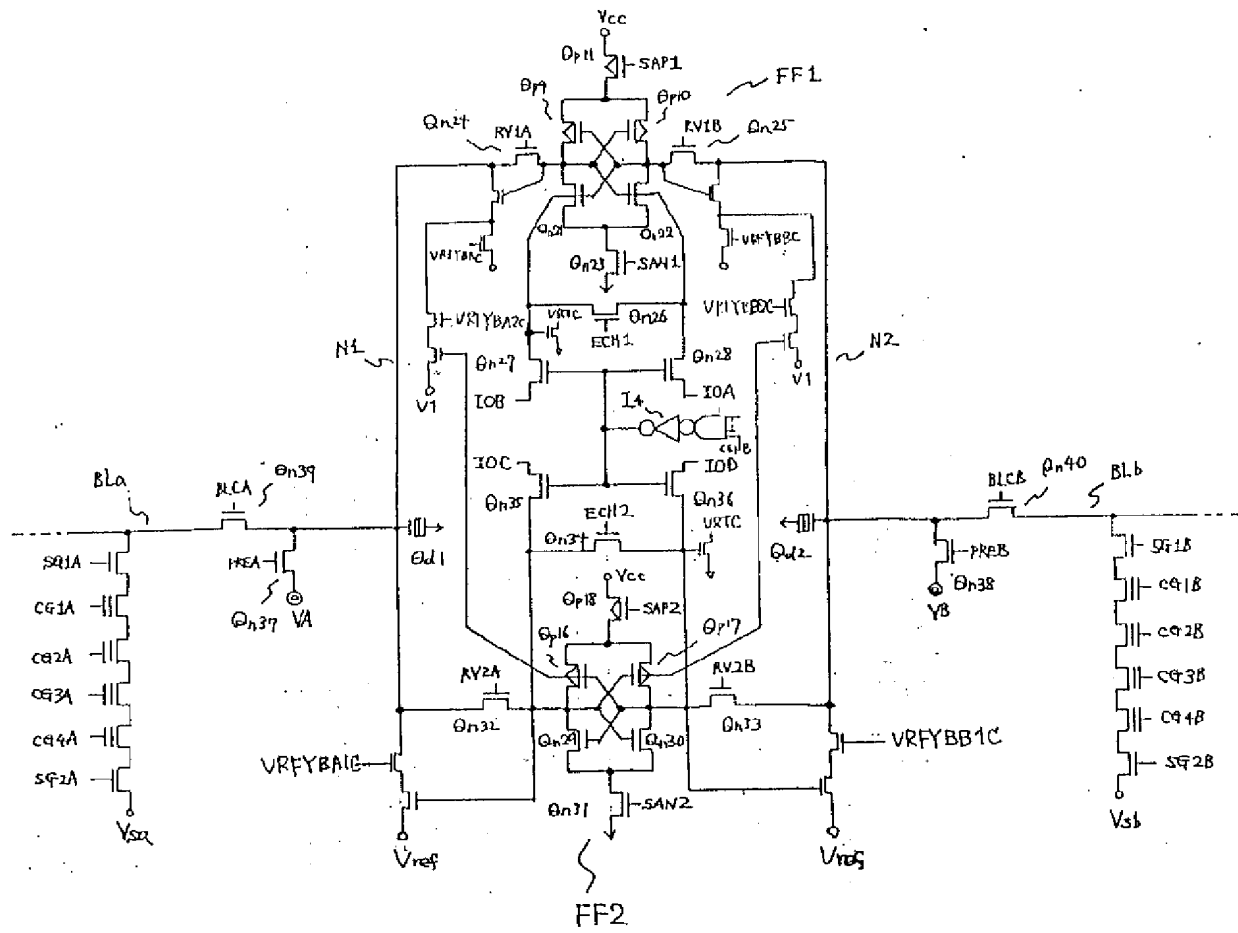
【図35】



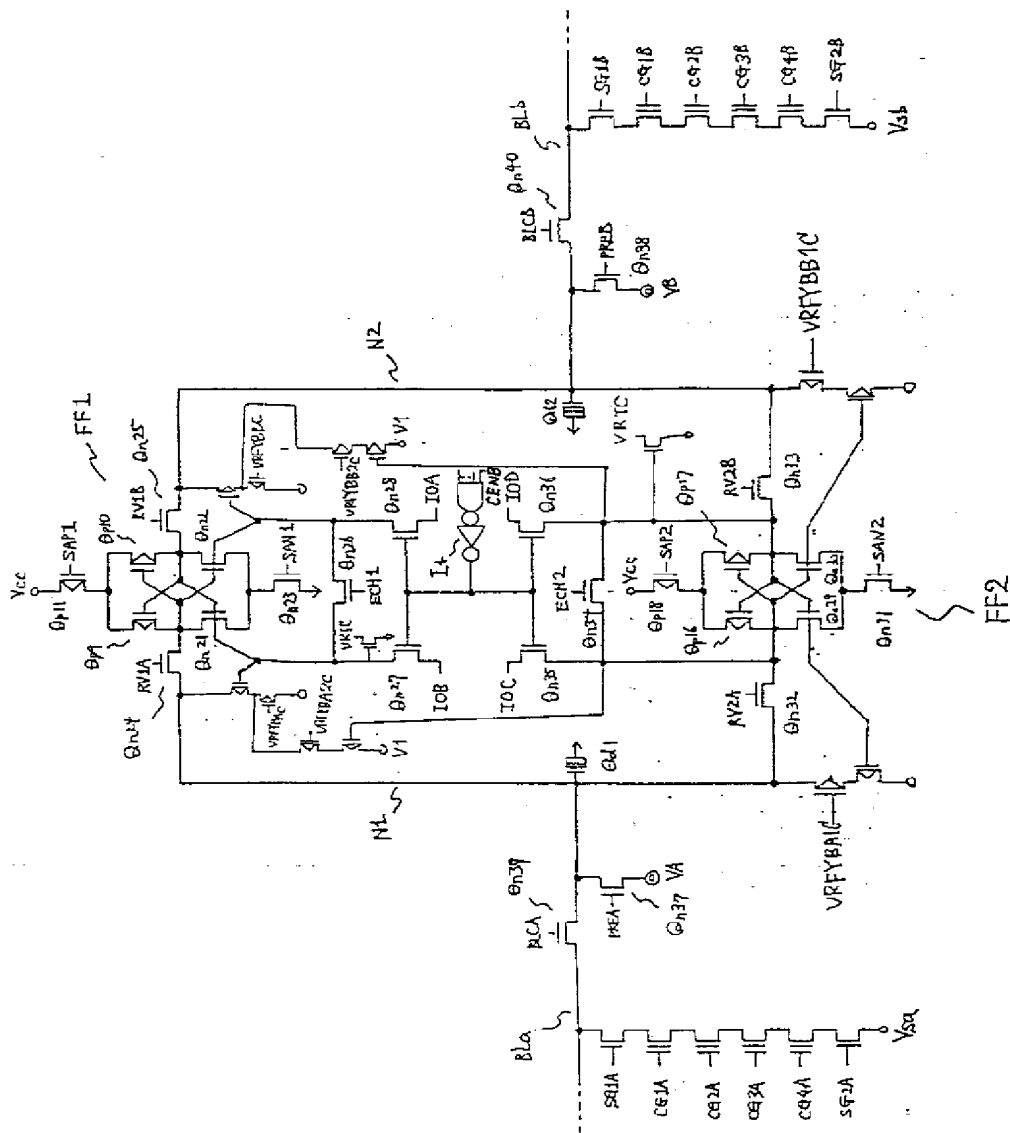
【図36】



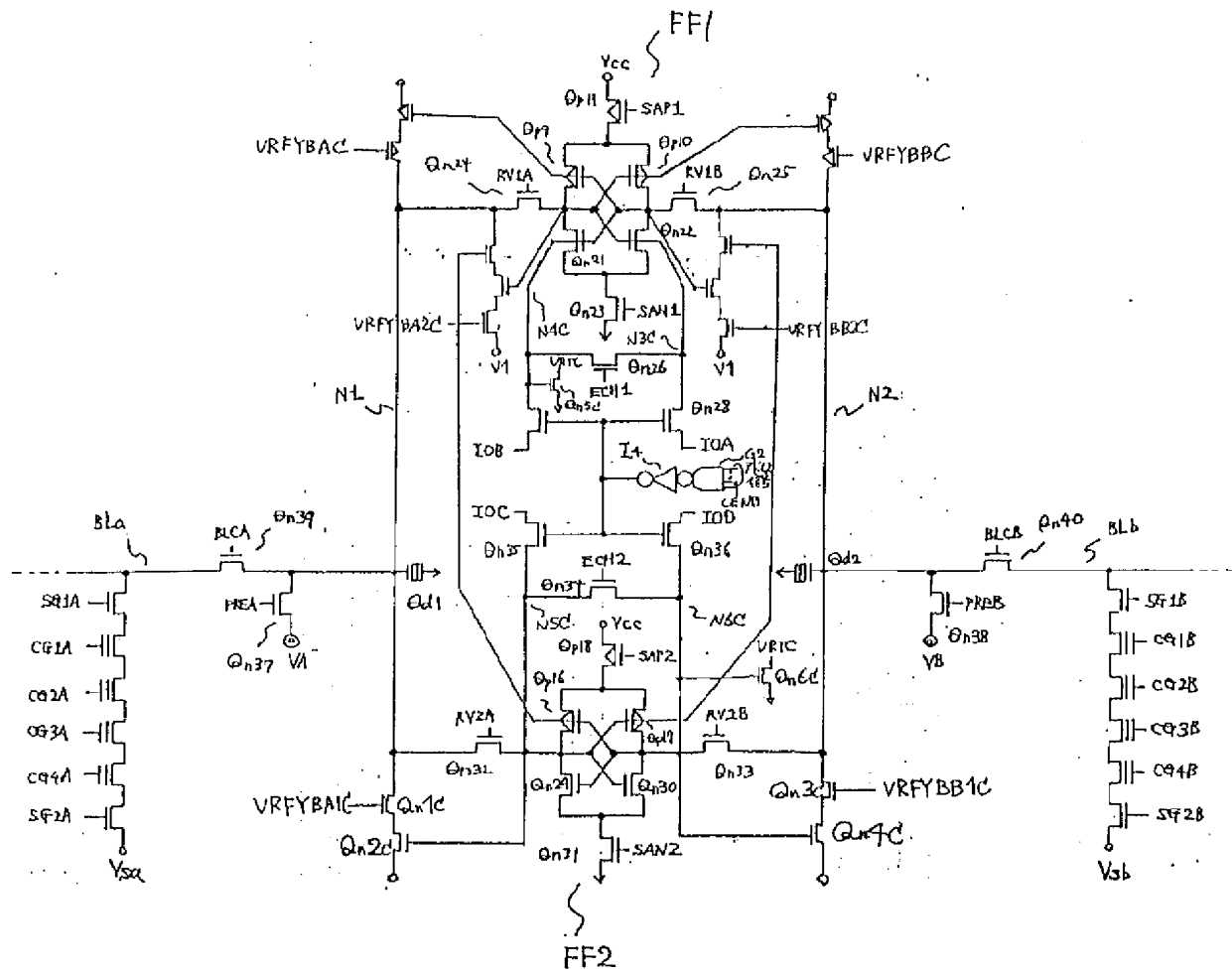
【図37】



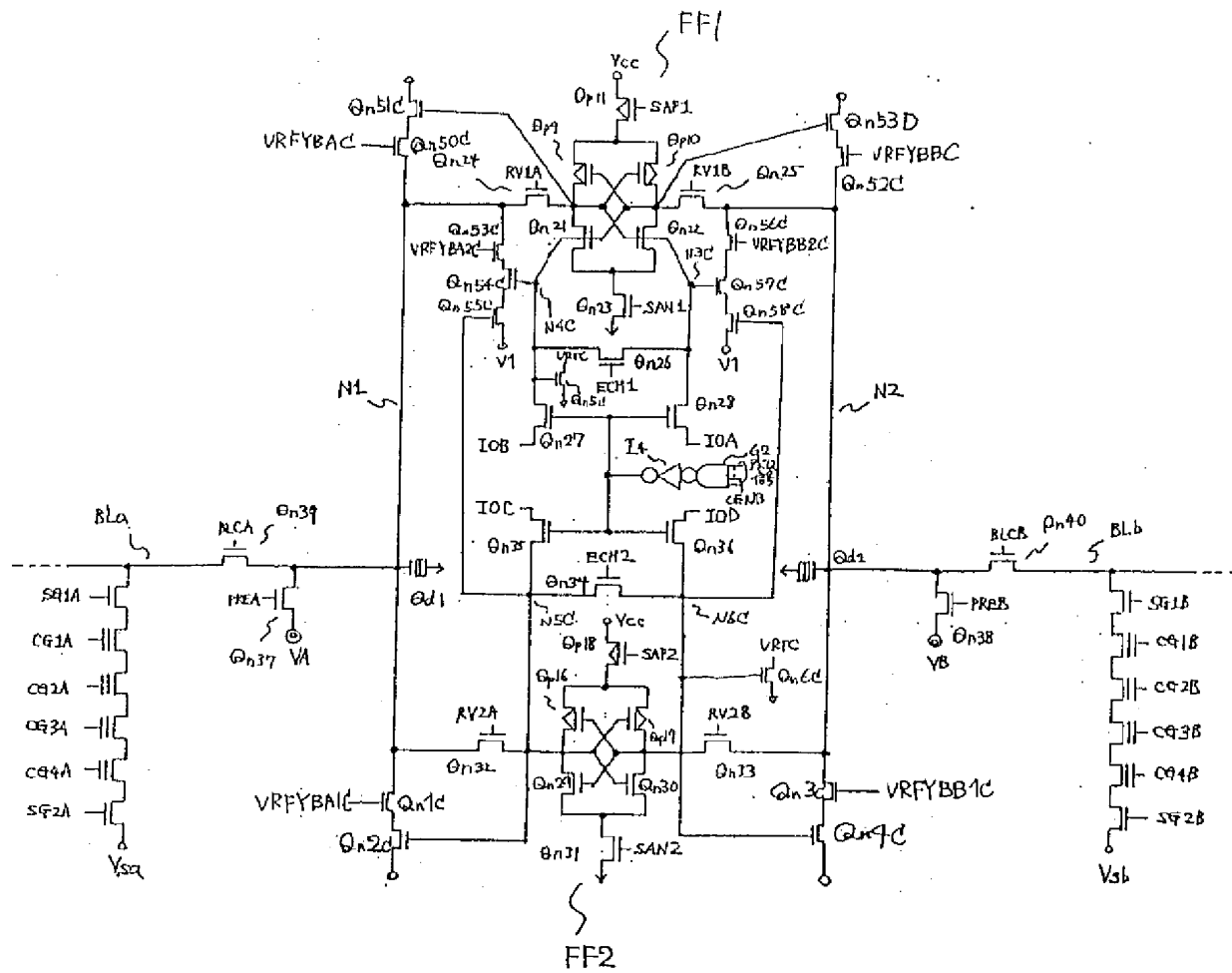
【图 38】



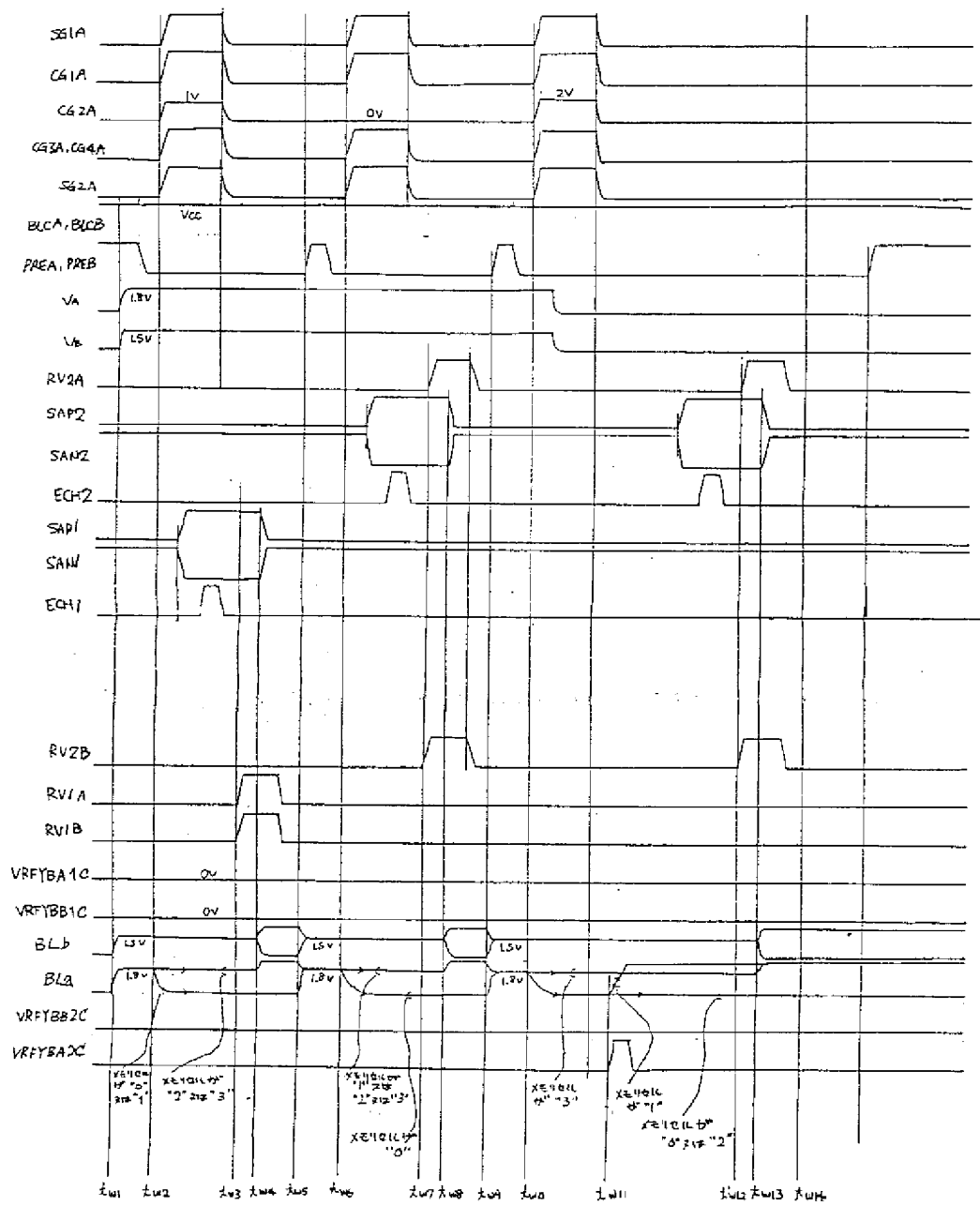
【図40】



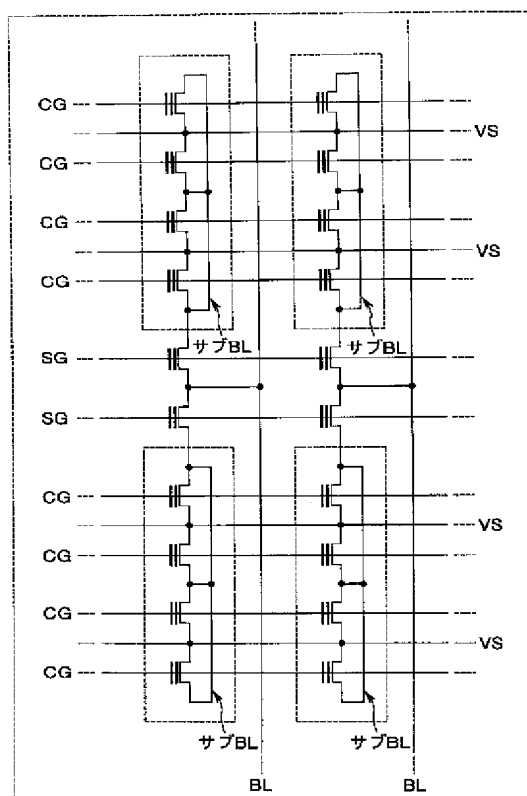
【図41】



【図42】



【图5-2】



Divided NOR型 (DINOR型)

【図53】

